

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2002年 7月12日

出願番号

Application Number:

特願2002-204130

[ST.10/C]:

[JP2002-204130]

出願人

Applicant(s):

NECエレクトロニクス株式会社

2003年 6月19日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3047967

【書類名】 特許願

【整理番号】 73410007

【提出日】 平成14年 7月12日

【あて先】 特許庁長官 殿

【国際特許分類】 G02F

【発明の名称】 電源回路

【請求項の数】 14

【発明者】

 【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内

 【氏名】 宮▲崎▼ 喜芳

【特許出願人】

 【識別番号】 000004237

 【氏名又は名称】 日本電気株式会社

【代理人】

 【識別番号】 100079164

 【弁理士】

 【氏名又は名称】 高橋 勇

 【電話番号】 03-3862-6520

【手数料の表示】

 【予納台帳番号】 013505

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

 【物件名】 図面 1

 【物件名】 要約書 1

 【包括委任状番号】 9003064

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 電源回路

【特許請求の範囲】

【請求項 1】 二つともボルテージフォロワとして動作する放電型低速アンプ及び充電型高速アンプを備え、これらの放電型低速アンプ及び充電型高速アンプの入力端子同士及び出力端子同士がそれぞれ接続され、前記放電型低速アンプの入力端子と前記充電型高速アンプの入力端子との間には、前記放電型低速アンプの入力端子よりも前記充電型高速アンプの入力端子の方が低電位になるオフセット電圧が印加された、

電源回路。

【請求項 2】 二つともボルテージフォロワとして動作する充電型低速アンプ及び放電型高速アンプを備え、これらの充電型低速アンプ及び放電型高速アンプの入力端子同士及び出力端子同士がそれぞれ接続され、前記充電型低速アンプの入力端子と前記放電型高速アンプの入力端子との間には、前記充電型低速アンプの入力端子よりも前記放電型高速アンプの入力端子の方が高電位になるオフセット電圧が印加された、

電源回路。

【請求項 3】 三つともボルテージフォロワとして動作する放電型低速アンプ、充電型高速アンプ及び放電型高速アンプを備え、これらの放電型低速アンプ、充電型高速アンプ及び放電型高速アンプの入力端子同士及び出力端子同士がそれぞれ接続され、前記放電型低速アンプの入力端子と前記充電型高速アンプの入力端子との間には、前記放電型低速アンプの入力端子よりも前記充電型高速アンプの入力端子の方が低電位になるオフセット電圧が印加され、前記放電型低速アンプの入力端子と前記放電型高速アンプの入力端子との間には、前記放電型低速アンプの入力端子よりも前記放電型高速アンプの入力端子の方が高電位になるオフセット電圧が印加された、

電源回路。

【請求項 4】 三つともボルテージフォロワとして動作する充電型低速アンプ、放電型高速アンプ及び充電型高速アンプを備え、これらの充電型低速アンプ

、放電型高速アンプ及び充電型高速アンプの入力端子同士及び出力端子同士がそれぞれ接続され、前記充電型低速アンプの入力端子と前記放電型高速アンプの入力端子との間には、前記充電型低速アンプの入力端子よりも前記放電型高速アンプの入力端子の方が高電位になるオフセット電圧が印加され、前記充電型低速アンプの入力端子と前記充電型高速アンプの入力端子との間には、前記充電型低速アンプの入力端子よりも前記充電型高速アンプの入力端子の方が低電位になるオフセット電圧が印加された、

電源回路。

【請求項 5】 前記放電型低速アンプは発振防止用のコンデンサを有するために動作が低速であり、充電型高速アンプは発振防止用のコンデンサを有しないために動作が高速である、

請求項 1 記載の電源回路。

【請求項 6】 前記充電型低速アンプは発振防止用のコンデンサを有するために動作が低速であり、前記放電型高速アンプは発振防止用のコンデンサを有しないために動作が高速である、

請求項 2 記載の電源回路。

【請求項 7】 前記放電型低速アンプは発振防止用のコンデンサを有するために動作が低速であり、前記充電型高速アンプ及び前記放電型高速アンプはそれぞれ発振防止用のコンデンサを有しないために動作が高速である、

請求項 3 記載の電源回路。

【請求項 8】 前記充電型低速アンプは発振防止用のコンデンサを有するために動作が低速であり、前記放電型高速アンプ及び前記充電型高速アンプはそれぞれ発振防止用のコンデンサを有しないために動作が高速である、

請求項 4 記載の電源回路。

【請求項 9】 前記出力端子同士の接続点と前記放電型低速アンプとの間に貫通電流抑制用の抵抗器が接続された、

請求項 1、3、5 又は 7 記載の電源回路。

【請求項 10】 前記出力端子同士の接続点と前記充電型低速アンプとの間に貫通電流抑制用の抵抗器が接続された、

請求項 2、4、6 又は 8 記載の電源回路。

【請求項 1 1】 二つともボルテージフォロワとして動作する放電型低速兼高速アンプ及び充電型高速アンプを備え、これらの放電型低速兼高速アンプ及び充電型高速アンプの入力端子同士及び出力端子同士がそれぞれ接続され、前記放電型低速兼高速アンプの入力端子と前記充電型高速アンプの入力端子との間には、前記放電型低速兼高速アンプの入力端子よりも前記充電型高速アンプの入力端子の方が低電位になるオフセット電圧が印加され、前記放電型低速兼高速アンプには、放電型低速アンプとしての動作と放電型高速アンプとしての動作とのどちらか一方に外部信号に応じて切り替える切替手段が設けられた、

電源回路。

【請求項 1 2】 二つともボルテージフォロワとして動作する充電型低速兼高速アンプ及び放電型高速アンプを備え、これらの充電型低速兼高速アンプ及び放電型高速アンプの入力端子同士及び出力端子同士がそれぞれ接続され、前記充電型低速兼高速アンプの入力端子と前記放電型高速アンプの入力端子との間には、前記充電型低速兼高速アンプの入力端子よりも前記放電型高速アンプの入力端子の方が高電位になるオフセット電圧が印加され、前記充電型低速兼高速アンプには、充電型低速アンプとしての動作と充電型高速アンプとしての動作とのどちらか一方に外部信号に応じて切り替える切替手段が設けられた、

電源回路。

【請求項 1 3】 前記放電型低速アンプ、前記充電型高速アンプ及び前記放電型高速アンプと前記出力端子同士の接続点との間に、それぞれ外部信号に応じて接点が開閉するスイッチ手段が設けられた、

請求項 3 記載の電源回路。

【請求項 1 4】 前記充電型低速アンプ、前記充電型高速アンプ及び前記放電型高速アンプと前記出力端子同士の接続点との間に、それぞれ外部信号に応じて接点が開閉するスイッチ手段が設けられた、

請求項 4 記載の電源回路。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、例えば液晶パネルなどの容量性負荷を駆動するために用いられる電源回路に関する。

【0002】

【従来の技術】

図15は、液晶表示装置の概略を示すブロック図である。図16は、図15の液晶パネルに対する印加電圧を示す図表である。以下、これらの図面に基づき説明する。

【0003】

液晶表示装置78においては、液晶パネル80を駆動するために、複数の電圧レベルを出力できる液晶駆動用電源回路82が必要である。液晶駆動用電源回路82から出力された複数の電圧レベルは、出力ドライバ841、842で選択されてコモン電極861（COM）及びセグメント電極862（SEG）に出力される。これにより、液晶パネル80に駆動電圧が印加される。この駆動電圧は例えば一フレーム毎に極性を反転させる（FRAM+、FRAM-）。

【0004】

液晶駆動用電源回路82は、最高電圧V_{LCD}をストリング抵抗R1～R5にて分圧し、液晶駆動に最適な複数の電圧レベルを生成する。そして、容量性負荷である液晶パネル80を駆動するため、ボルテージフォロワ・アンプA1～A4にてインピーダンス変換をしている。このボルテージフォロワ・アンプA1～A4は、片側（充電又は放電）の駆動能力が強く、もう片側がバイアス電流で制限された構成である。このようなアンプには、液晶駆動用として低消費電力であることも絶対条件であるため、出力段における貫通電流が流れにくいタイプのシングルエンド型アンプが使われている。

【0005】

ただし、一つの出力レベルに対して一方向（充電又は放電）のみの駆動能力しか無いため、外部からのノイズによる電圧変動、アンプ駆動による過充電又は過放電、フレーム切替時における逆方向の電流の流れ込み又は流れ出しなどに対して、逆方向へ変動した分は制限されたバイアス電流でしかレベルを戻せない。そ

のため、元のレベルへ戻るまでに時間を要するので、駆動レベル（VLC1～VLC4）の平均電圧がシフトして表示に影響が出る。そこで、図15に見られるような外付けパス用コンデンサ（いわゆるパスコン）C0を付けることにより逆方向の電圧変動を防いでいる。しかし、近年、液晶表示装置78の小型化及び低価格化に伴い、外付けパスコンC0が不要で、かつ、従来同等の貫通電流の少ないアンプへの要求、すなわち低消費電力で双方向駆動能力（プッシュプル化）アンプの要求が強くなっている。

【0006】

これらの要求に対して、能力の異なる二個のシングルエンド型アンプを用いてプッシュプル化を実現した例が特開平10-232383号公報に開示されている。図17は、同公報に開示された液晶駆動用電源回路を示すブロック図である。図18は、図17の液晶駆動用電源回路に含まれる充電型アンプと放電型アンプとの内部構成を示す回路図である。以下、これらの図面に基づき説明する。

【0007】

図17に示すように、液晶駆動用電源回路100は、電源電圧VDDの供給を受けて、n倍の高電位の電源電圧VLCDを生成して出力するDCDCコンバータ102と、所定の基準電圧VREFを入力して増幅して出力するアンプ（増幅器）103と、アンプ103の出力端と接地点との間に直列接続されてブリーダ抵抗回路101を形成する抵抗110～118と、それぞれ非反転入力端子にブリーダ抵抗回路101の各分圧電圧出力が入力され、反転入力端子に各出力電圧が入力される充電型アンプ104及び放電型アンプ105とを備えている。

【0008】

また、図18に示す充電型アンプ104及び放電型アンプ105は、図17に示す液晶駆動用電源回路100において出力電圧V02を出力する電源回路100Aを抜き出したものである。一对の充電型アンプ104及び放電型アンプ105は、プッシュプル接続による組み合わせ回路を構成している。充電型アンプ104は、PMOSトランジスタ119、120、124と、NMOSトランジスタ121、122と、定電流源123、126と、コンデンサ125とを備えている。放電型アンプ105は、PMOSトランジスタ128、129と、NMOS

トランジスタ 1 3 0, 1 3 1, 1 3 3 と、定電流源 1 2 7, 1 3 3 と、コンデンサ 1 3 2 とを備えている。

【 0 0 0 9 】

まず、図 1 7 を参照して、液晶駆動用電源回路 1 0 0 の総合動作について説明する。DCDCコンバータ 1 0 2 より出力される高電位電圧 VLCD は、アンプ 1 0 3、各充電型アンプ 1 0 4 及び放電型アンプ 1 0 5 に供給される。アンプ 1 0 3 からは、基準電圧 VREF が増幅されて電圧 V1 が出力され、液晶駆動レベルの最高出力に対応する充電型アンプ 1 0 4 の非反転入力端子に入力されて、当該充電型アンプ 1 0 4 からは、液晶駆動レベルの最大レベルに対応する出力電圧 V01 が出力されるとともに、ブリーダ抵抗回路 1 0 1 にも供給される。ブリーダ抵抗回路 1 0 1 においては、抵抗 1 1 0 ~ 1 1 8 により電圧 V1 が抵抗分割されて、それぞれ対応する充電型アンプ 1 0 4 及び放電型アンプ 1 0 5 の非反転入力端子に入力される。これにより、各分割電圧を入力とする一対の充電型アンプ 1 0 4 と放電型アンプ 1 0 5 とのプッシュプル接続による組み合わせ回路からは、それぞれ各液晶駆動レベルに対応する出力電圧 V02, V03, V04, V05 が出力される。すなわち、液晶駆動用電源回路 1 0 0 においては、5 レベルの液晶駆動レベルに対応する出力電圧 V01 ~ V05 が生成されて出力される。

【 0 0 1 0 】

次に、図 1 8 を参照して、プッシュプル接続される充電型アンプ 1 0 4 及び放電型アンプ 1 0 5 の動作について説明する。上述のように、ブリーダ抵抗回路 1 0 1 による分割電圧により、放電型アンプ 1 0 5 に含まれる PMOS トランジスタ 1 2 9 のゲートには、分圧電圧 V2 が印加されており、また充電型アンプ 1 0 4 に含まれる NMOS トランジスタ 1 2 2 のゲートには、分圧電圧 V3 が印加されている。言うまでもなく $V2 > V3$ であり、プッシュプル接続される充電型アンプ 1 0 4 及び放電型アンプ 1 0 5 に対しては、常に、放電型アンプ 1 0 5 に印加される分圧電圧の方が高レベルとなるように設定される。充電時には、充電型アンプ 1 0 4 内の PMOS トランジスタ 1 2 4 は十分な充電能力を有しており、アンプ 1 0 3 より出力される電圧 V1 の立ち上がり入力に対応して、分圧電圧 V3 を非反転入力端子に受けて NMOS トランジスタ 1 2 2 が稼働し、PMO

Sトランジスタ124は正常に機能して、充電型アンプとして正常に動作する。

【0011】

しかしながら、PMOSトランジスタ124は、定電流源126の電流値に制約されて放電時に対する十分な放電能力がなく、動作機能として放電に対応できない状態となる。このために、放電時においては、充電型アンプ104の代わりに、放電型アンプ105が動作する状態となる。すなわち、放電時においては、分圧電圧V2を放電型アンプ5の非反転入力端子に受けて、当該放電型アンプ105に含まれるPMOSトランジスタ129が稼働し、NMOSトランジスタ134が十分な放電能力を有する状態となって、放電型アンプ105により正常に放電動作が行われる。しかしながら、この放電型アンプ105においても、充電型アンプ104と同様に、定電流源133の電流値に制約されて、充電時における動作機能に対応することが不可能である。

【0012】

図18に示す充電型アンプ104及び放電アンプ105のプッシュプル接続による出力段においては、当該電圧出力レベルは、常時、充電型アンプ104の出力電圧レベルよりも高いレベルにあることが動作上の必要条件となっている。この必要条件が保持されず、充電型アンプ104の出力レベルが放電アンプ105の出力レベルよりも高い場合には、PMOSトランジスタ124及びNMOSトランジスタ134を通して、高電位電圧VLCDと接地点との間が短絡状態となる。この短絡状態に対処するためには、放電型アンプ105に対する入力電圧としては、充電型アンプ104の入力電圧よりも高い電圧レベルを入力し、当該放電アンプ105のオフセット電圧にばらつきが存在するような状態においても、放電型アンプ105の出力レベルとしては、常に充電型アンプ104の出力レベルよりも高い状態を保持できるようにすることが必要不可欠となる。

【0013】

【発明が解決しようとする課題】

しかしながら、充電型アンプ104及び放電アンプ105は、それぞれ発振を防止するためのコンデンサ125、132が設けられているので、負荷変動に対する応答が遅いという問題があった。負荷変動に対する応答性が悪いと、液晶パ

ネルのフリッカ等の原因となる。

【 0 0 1 4 】

【発明の目的】

そこで、本発明の主な目的は、負荷変動に対する応答性を改善した電源回路を提供することにある。換言すると、本発明の目的は、シングルエンド型アンプで異なる特性のアンプを2～3個使うことにより、又は異なる2～3種類の特性をアンプに持たせる制御をすることにより、貫通電流が少なく、波形歪みの少なく、貫通電流が発生しにくい汎用的な駆動アンプ回路を実現するものである。

【 0 0 1 5 】

【課題を解決するための手段】

請求項1記載の電源回路は、二つともボルテージフォロワとして動作する放電型低速アンプ及び充電型高速アンプを備え、これらの放電型低速アンプ及び充電型高速アンプの入力端子同士及び出力端子同士がそれぞれ接続されたものである。そして、放電型低速アンプの入力端子と充電型高速アンプの入力端子との間には、放電型低速アンプの入力端子よりも充電型高速アンプの入力端子の方が低電位になるオフセット電圧が印加されている。

【 0 0 1 6 】

負荷変動によって出力電圧が一定以上高くなると、放電型低速アンプが動作して出力電圧を下げる。このとき、充電型高速アンプは充電型ゆえに動作しない。一方、負荷変動によって出力電圧が一定以上低くなると、充電型高速アンプが動作して出力電圧を高速で上げる。このとき、放電型低速アンプは放電型ゆえに動作しない。また、放電型低速アンプと充電型高速アンプとは、入力電圧にオフセット電圧分だけの差があるので、同時に動作することによる貫通電流の発生が抑えられる。一般に低速アンプが発振しにくいのに対して、高速アンプは発振しやすい。本発明では、発振しやすい高速アンプが発振しにくい低速アンプに並列接続されているので、電源回路としては発振しにくいものとなる。なぜなら、高速アンプが発振すれば低速アンプも並列接続されているので発振しなければならず、そのような現象は起こり難いからである。したがって、発振を抑えつつ高速応答化が図れる。

【 0 0 1 7 】

請求項 2 記載の電源回路は、二つともボルテージフォロワとして動作する充電型低速アンプ及び放電型高速アンプを備え、これらの充電型低速アンプ及び放電型高速アンプの入力端子同士及び出力端子同士がそれぞれ接続されたものである。充電型低速アンプの入力端子と放電型高速アンプの入力端子との間には、充電型低速アンプの入力端子よりも放電型高速アンプの入力端子の方が高電位になるオフセット電圧が印加されている。請求項 2 記載の電源回路は、請求項 1 記載の電源回路と比べて電圧の極性が反対になるだけであるので、請求項 1 記載の電源回路と同等の作用を奏する。

【 0 0 1 8 】

請求項 3 記載の電源回路は、三つともボルテージフォロワとして動作する放電型低速アンプ、充電型高速アンプ及び放電型高速アンプを備え、これらの放電型低速アンプ、充電型高速アンプ及び放電型高速アンプの入力端子同士及び出力端子同士がそれぞれ接続されたものである。そして、放電型低速アンプの入力端子と充電型高速アンプの入力端子との間には、放電型低速アンプの入力端子よりも充電型高速アンプの入力端子の方が低電位になるオフセット電圧が印加されている。放電型低速アンプの入力端子と放電型高速アンプの入力端子との間には、放電型低速アンプの入力端子よりも放電型高速アンプの入力端子の方が高電位になるオフセット電圧が印加されている。

【 0 0 1 9 】

負荷変動によって出力電圧が一定以上高くなると、放電型高速アンプが動作して出力電圧を高速で下げる。このとき、放電型低速アンプは低速ゆえに、充電型高速アンプは充電型ゆえに、それぞれ動作しない。一方、負荷変動によって出力電圧が一定以上低くなると、充電型高速アンプが動作して出力電圧を高速で上げる。このとき、放電型高速アンプ及び放電型低速アンプは放電型ゆえに動作しない。放電型低速アンプは、一定範囲内の出力電圧の変動に対して動作する。また、放電型低速アンプ及び放電型高速アンプと充電型高速アンプとは、入力電圧にオフセット電圧分だけの差があるので、同時に動作することによる貫通電流の発生が抑えられる。放電型低速アンプと放電型高速アンプとにも、入力電圧にオフ

セット電圧分だけの差があるので、同時に動作することによる消費電力の増加を抑えられる。本発明では、発振しやすい高速アンプが発振しにくい低速アンプに並列接続されているので、電源回路としては発振しにくいものとなる。したがって、発振を抑えつつ更に高速応答化が図れる。

【 0 0 2 0 】

請求項 4 記載の電源回路は、三つともボルテージフォロワとして動作する充電型低速アンプ、放電型高速アンプ及び充電型高速アンプを備え、これらの充電型低速アンプ、放電型高速アンプ及び充電型高速アンプの入力端子同士及び出力端子同士がそれぞれ接続されたものである。充電型低速アンプの入力端子と放電型高速アンプの入力端子との間には、充電型低速アンプの入力端子よりも放電型高速アンプの入力端子の方が高電位になるオフセット電圧が印加されている。そして、充電型低速アンプの入力端子と充電型高速アンプの入力端子との間には、充電型低速アンプの入力端子よりも充電型高速アンプの入力端子の方が低電位になるオフセット電圧が印加されている。請求項 4 記載の電源回路は、請求項 3 記載の電源回路と比べて電圧の極性が反対になるだけであるので、請求項 3 記載の電源回路と同等の作用を奏する。

【 0 0 2 1 】

請求項 5 乃至 8 記載の電源回路は、請求項 1 乃至 4 記載の電源回路において、低速アンプは発振防止用のコンデンサを有するために動作が低速であり、高速アンプは発振防止用のコンデンサを有しないために動作が高速である、としたものである。つまり、低速アンプは、コンデンサに対する充放電に時間を要するので、高速アンプに比べて低速になる。

【 0 0 2 2 】

請求項 9 又は 1 0 記載の電源回路は、請求項 1 乃至 8 記載の電源回路において、出力端子同士の接続点と低速アンプとの間に貫通電流抑制用の抵抗器が接続された、としたものである。オフセット電圧の変動やアンプ特性の変動に起因して貫通電流が発生しそうになっても、これを抵抗器が制限する。

【 0 0 2 3 】

請求項 1 1 記載の電源回路は、二つともボルテージフォロワとして動作する放

電型低速兼高速アンプ及び充電型高速アンプを備え、これらの放電型低速兼高速アンプ及び充電型高速アンプの入力端子同士及び出力端子同士がそれぞれ接続されたものである。そして、放電型低速兼高速アンプの入力端子と充電型高速アンプの入力端子との間には、放電型低速兼高速アンプの入力端子よりも充電型高速アンプの入力端子の方が低電位になるオフセット電圧が印加されている。これに加え、放電型低速兼高速アンプには、放電型低速アンプとしての動作と放電型高速アンプとしての動作とのどちらか一方に外部信号に応じて切り替える切替手段が設けられている。例えば、切替手段は、トランジスタなどの電子的スイッチからなる。

【 0 0 2 4 】

負荷変動によって出力電圧が一定以上高くなると、放電型低速兼高速アンプが放電型高速アンプとして動作して出力電圧を高速で下げる。このとき、充電型高速アンプは充電型ゆえに動作しない。一方、負荷変動によって出力電圧が一定以上低くなると、充電型高速アンプが動作して出力電圧を高速で上げる。このとき、放電型低速兼高速アンプは放電型ゆえに動作しない。放電型低速兼高速アンプは、一定範囲内の出力電圧の変動に対して放電型低速アンプとして動作する。また、放電型低速兼高速アンプと充電型高速アンプとは、入力電圧にオフセット電圧分だけの差があるので、同時に動作することによる貫通電流の発生が抑えられる。本発明では、発振しやすい高速アンプが発振しにくい低速アンプに並列接続されているので、電源回路としては発振しにくいものとなる。したがって、発振を抑えつつ更に高速応答化が図れる。しかも、放電型低速兼高速アンプは、一つでありながら放電型低速アンプにも放電型高速アンプにも動作するので、小型化にも寄与できる。

【 0 0 2 5 】

請求項 1 2 記載の電源回路は、二つともボルテージフォロワとして動作する充電型低速兼高速アンプ及び放電型高速アンプを備え、これらの充電型低速兼高速アンプ及び放電型高速アンプの入力端子同士及び出力端子同士がそれぞれ接続されたものである。そして、充電型低速兼高速アンプの入力端子と放電型高速アンプの入力端子との間には、充電型低速兼高速アンプの入力端子よりも放電型高速

アンプの入力端子の方が高電位になるオフセット電圧が印加されている。これに加え、充電型低速兼高速アンプには、充電型低速アンプとしての動作と充電型高速アンプとしての動作とのどちらか一方に外部信号に応じて切り替える切替手段が設けられている。請求項 1 2 記載の電源回路は、請求項 1 1 記載の電源回路と比べて電圧の極性が反対になるだけであるので、請求項 1 1 記載の電源回路と同等の作用を奏する。

【 0 0 2 6 】

請求項 1 3 記載の電源回路は、請求項 3 記載の電源回路において、放電型低速アンプ、充電型高速アンプ及び放電型高速アンプと出力端子同士の接続点との間に、それぞれ外部信号に応じて接点が開閉するスイッチ手段が設けられたものである。各アンプが積極的に動作していないときに流れるバイアス電流等を遮断できるので、消費電力を低減できる。例えば、スイッチ手段は、トランジスタなどの電子的スイッチからなる。

【 0 0 2 7 】

請求項 1 4 記載の電源回路は、請求項 4 記載の電源回路において、充電型低速アンプ、充電型高速アンプ及び放電型高速アンプと出力端子同士の接続点との間に、それぞれ外部信号に応じて接点が開閉するスイッチ手段が設けられたものである。請求項 1 4 記載の電源回路は、請求項 1 3 記載の電源回路と比べて電圧の極性が反対になるだけであるので、請求項 1 3 記載の電源回路と同等の作用を奏する。

【 0 0 2 8 】

【発明の実施の形態】

図 1 [1] は本発明に係る電源回路の第一実施形態を示す回路図であり、図 1 [2] は本発明に係る電源回路の第二実施形態を示す回路図である。以下、これらの図面に基づき説明する。

【 0 0 2 9 】

第一実施形態の電源回路 1 0 は、二つともボルテージフォロワとして動作する放電型低速アンプ 1 2 N 及び充電型高速アンプ 1 4 p を備え、放電型低速アンプ 1 2 N 及び充電型高速アンプ 1 4 p の入力端子同士及び出力端子同士がそれぞれ

接続されたものである。そして、放電型低速アンプ 1 2 N の入力端子と充電型高速アンプ 1 4 p の入力端子との間には、放電型低速アンプ 1 2 N の入力端子よりも充電型高速アンプ 1 4 p の入力端子の方が低電位になるオフセット電圧 V_{off} (> 0) が印加されている。また、出力端子同士の接続点と放電型低速アンプ 1 2 N との間に、貫通電流抑制用の抵抗器 1 6 が接続されている。オフセット電圧 V_{off} は、例えばブリーダ抵抗回路（図 1 7 参照）によって供給される。

【 0 0 3 0 】

負荷変動によって出力電圧 V_{OUT} が一定以上高くなると、放電型低速アンプ 1 2 N が動作して出力電圧 V_{OUT} を下げる。このとき、充電型高速アンプ 1 4 p は充電型ゆえに動作しない。一方、負荷変動によって出力電圧 V_{OUT} が一定以上低くなると、充電型高速アンプ 1 4 p が動作して出力電圧を高速で上げる。このとき、放電型低速アンプ 1 2 N は放電型ゆえに動作しない。また、放電型低速アンプ 1 2 N と充電型高速アンプ 1 4 p とは、入力電圧 V_{IN} にオフセット電圧分 V_{off} だけの差があるので、同時に動作することによる貫通電流の発生が抑えられる。一般に低速アンプが発振しにくいのに対して、高速アンプは発振しやすい。本実施形態では、発振しやすい充電型高速アンプ 1 4 p が発振しにくい放電型低速アンプ 1 2 N に並列接続されているので、電源回路 1 0 としては発振しにくいものとなる。なぜなら、充電型高速アンプ 1 4 p が発振すれば放電型低速アンプ 1 2 N も並列接続されているので発振しなければならず、そのような現象は起こり難いからである。したがって、発振を抑えつつ高速応答化が図れる。

【 0 0 3 1 】

第二実施形態の電源回路 2 0 は、二つともボルテージフォロワとして動作する充電型低速アンプ 1 2 P 及び放電型高速アンプ 1 4 n を備え、充電型低速アンプ 1 2 P 及び放電型高速アンプ 1 4 n の入力端子同士及び出力端子同士がそれぞれ接続されたものである。そして、充電型低速アンプ 1 2 P の入力端子と放電型高速アンプ 1 4 n の入力端子との間には、充電型低速アンプ 1 2 P の入力端子よりも放電型高速アンプ 1 4 n の入力端子の方が高電位になるオフセット電圧 V_{off}

$f + (> 0)$ が印加されている。また、出力端子同士の接続点と充電型低速アンプ 1 2 P との間に、貫通電流抑制用の抵抗器 1 6 が接続されている。オフセット電圧 V_{off} は、例えばブリーダ抵抗回路（図 1 7 参照）によって供給される。電源回路 2 0 は、電源回路 1 0 と比べて電圧の極性が反対になるだけであるので、電源回路 1 0 と同等の作用を奏する。

【 0 0 3 2 】

図 2 は図 1 における低速アンプの内部構成を示す回路図であり、図 2 [1] は放電型低速アンプ、図 2 [2] は充電型低速アンプである。図 3 は図 1 における高速アンプの内部構成を示す回路図であり、図 3 [1] は放電型高速アンプ、図 3 [2] は充電型高速アンプである。以下、この図面に基づき説明する。

【 0 0 3 3 】

放電型低速アンプ 1 2 N 及び充電型低速アンプ 1 2 P は、図示のとおり、図 1 8 に示す放電型アンプ 1 0 5 N 及び充電型アンプ 1 0 4 とほぼ同じ構成である。放電型低速アンプ 1 2 N 及び充電型低速アンプ 1 2 P では、発振防止用の位相補償コンデンサ C_c が出力側に設けられているので、動作が低速になっている。放電型高速アンプ 1 4 n 及び充電型高速アンプ 1 4 p では、位相補償コンデンサ C_c がない点を除き、放電型低速アンプ 1 2 N 及び充電型低速アンプ 1 2 P と同じ構成であるので、高速動作が可能になっている。

【 0 0 3 4 】

次に、図 1 乃至図 3 に基づき、更に詳しく説明する。

【 0 0 3 5 】

液晶パネルなどの容量性負荷を駆動するアンプは、定期的に容量性負荷（パネル負荷）が接続されても液晶駆動に最適なレベルを維持しなければならない。また、同時に用途的に低消費電力でなければならない。そこで、本発明では、低消費電力で片側方向（充電又は放電）の駆動能力をもつシングルエンド出力型アンプで特性の異なる二個を使い、液晶駆動に最適な低消費電力でかつ貫通電流を抑えたレベル出力用プッシュプルアンプを実現する。

【 0 0 3 6 】

通常表示駆動時において液晶パネルに対する放電又は充電のうち主に使用する

方に応じて、図 1 [1] の電源回路 1 0 又は図 1 [2] の電源回路 2 0 のいずれか一方が決定される。すなわち、通常表示駆動時において充電が主であれば電源回路 2 0、放電が主であれば電源回路 1 0 が使用される。ここでは、電源回路 2 0 に関して説明する。なお、電源回路 1 0 については、電源回路 2 0 と駆動方向が逆になるだけであるので、その説明を省略する。

【 0 0 3 7 】

電源回路 2 0 では、定常状態で出力レベルの状態を決定するメインアンプが充電型低速アンプ 1 2 P となる。充電型低速アンプ 1 2 P は、図 2 [2] に示すように、内蔵する差動アンプの出力が出力段の P_{ch} (P チャネル) トランジスタ M_P を駆動するため、負荷に充電する駆動能力を持つ。一方、放電側では、バイアス電流 I_{Ps1} によって制限されているため、負荷駆動能力がほとんど無い。このように、充電型低速アンプ 1 2 P は充電方向の能力をもつシングルエンド型アンプである。

【 0 0 3 8 】

充電型低速アンプ 1 2 P は、ボルテージフォロワとして動作するので、定常状態では、充電方向の出力インピーダンスを低く抑えた形で、入力電圧 V_{IN} をバッファリングしている。その入力電圧 V_{IN} は、正のオフセット電圧 V_{off+} が加えられた状態で放電型高速アンプ 1 4 n にも入力される。放電型高速アンプ 1 4 n は、充電型低速アンプ 1 2 P よりも高速動作可能なシングルエンド型のボルテージフォロワとして動作し、出力側が充電型低速アンプ 1 2 P と短絡している。この放電型高速アンプ 1 4 n は、放電型低速アンプ 1 2 N における位相補償コンデンサ C_c を無くしたものであり、放電型低速アンプ 1 2 N よりも 1 桁以上小さな時定数をもつことにより高速動作するものである。また、放電型高速アンプ 1 4 n は、通常時はオフセット電圧 V_{off+} の影響でほとんど OFF 状態であるが、出力電圧 V_{OUT} の変動分がオフセット電圧 V_{off+} 以上になった場合には、ただちに動作して出力電圧 V_{OUT} の変動分をオフセット電圧 V_{off+} 以内に抑える働きをする。

【 0 0 3 9 】

本来、位相補償コンデンサ C_c の削除などにより高速動作を実現させた放電型

高速アンプ 1 4 n は、単独では発振してしまう。しかし、オフセット電圧 V_{off+} の影響と入力電圧 V_{IN} をバッファリングしている充電型低速アンプ 1 2 P の影響とにより、通常動作時（入力電圧＝出力電圧）においては、放電型高速アンプ 1 4 n は、出力を OFF する動作をする。そのため、電源回路 2 0 は、貫通電流が発生したり、発振したりすることはない。また、出力電圧 V_{OUT} の変動分は、ノイズや外部負荷を通してオフセット電圧 V_{off+} を越えた場合、放電型高速アンプ 1 4 n により短時間にオフセット電圧 V_{off+} 近傍まで低減される。そのため、通常駆動時に動作する充電型低速アンプ 1 2 P は、オフセット電圧以下の出力電圧の変動に対応できる能力だけで済む。したがって、充電型低速アンプ 1 2 P のトランジスタのサイズなどのディメンジョンの最小化も可能となる。また、無駄なオーバシュート駆動又はアンダシュート駆動も更に減るので、負荷駆動時における消費電流の低減を実現することが可能になる。

【 0 0 4 0 】

図 4 [1] は、電源回路 1 0 を用いた液晶表示装置の等価回路図である。図 4 [2] は、放電型低速アンプ 1 2 N の内部構成を示す回路図である。図 5 [1] ～図 5 [5] はそれぞれ電源回路 1 0 の出力電圧を示す波形図である。以下、これらの図面に基づき、電源回路 1 0 の動作を説明する。なお、電源回路 2 0 は、電源回路 1 0 と比べて電圧の極性が反対になるだけであるので、その説明を省略する。

【 0 0 4 1 】

電源回路 1 0 では、入力電圧 V_{IN} をそのまま放電型低速アンプ 1 2 N が入力し、入力電圧 V_{IN} に負のオフセット電圧 V_{off-} が与えられた電圧を充電型高速アンプ 1 4 p が入力している。放電型低速アンプ 1 2 N 及び充電型高速アンプ 1 4 p の出力側は互いの出力端子を短絡した構成になっている。この場合、放電型低速アンプ 1 2 N の代わりに放電型高速アンプ 1 4 n を使うことはできない。なぜなら、放電型高速アンプ 1 4 n は、位相補償コンデンサ C_c などを削除して高速動作させているため、充電型高速アンプ 1 4 p と組み合わせると発振してしまうからである。

【 0 0 4 2 】

図4 [1] における電圧 V_L 、 V_H は、パネル駆動電圧レベルであり、 $V_L < V_H$ である。ここで、スイッチ SW_1 の接点が電源回路10側に接続されて、スイッチ SW_2 の接点が $V_L \rightarrow V_H \rightarrow V_L$ と動いた場合を考える。これは、電源回路10の出力電圧 V_{OUT} がコモン電極のレベルとして使われ、電圧 V_L 、 V_H がセグメント電極のレベルとして使われた場合に相当する（図15参照）。この場合、図5 [1] で示す波形がパネル負荷 C_L （コンデンサ）の一端から出力される。

【0043】

この時、電源回路10の出力電圧 V_{OUT} の波形は、図5 [2]，[3] のようになる。立上がり比べて立下りの方が遅いのは、通常動作時の出力レベルを決定する放電型低速アンプ12Nの動作が遅いからである。この立下り時間は放電型低速アンプ12Nの応答速度に比例するが、これが大きくなると液晶パネルの表示に影響を与える。

【0044】

図4 [2] において、放電型低速アンプ12Nにおける出力段のトランジスタMNのディメンジョンを例えば二倍にすれば、トランジスタMNの駆動電圧が半分で済むので、立下り時間が見かけ上改善する。しかし、放電型低速アンプ12N自体の入力電圧に対する応答時間が変わっていないので、図5 [4] に見られるようにアンダシュートが発生し、その波形歪みによって表示に影響を与える可能性がある。

【0045】

この場合、逆方向の駆動能力のある充電型高速アンプ14pのオフセット電圧 V_{off} を低減すれば、波形は改善する。しかし、図5 [5] に見られるように、今度は放電型低速アンプ12Nと充電型高速アンプ14pとの間で貫通電流が発生してしまうため、オフセット電圧 V_{off} の設定や駆動能力の設定を液晶パネル毎に行う必要が出てくる。

【0046】

図6 [1]，[2] は、電源回路10のDC特性を示すグラフである。以下、図1及び図6に基づき説明する。

【 0 0 4 7 】

放電型低速アンプ 1 2 N 及び充電型高速アンプ 1 4 p の動作状態を時間的動作 (A C 的) として記載した図 6 [1] で考えると、前述の不具合が発生する理由がわかりやすい。電源回路 1 0 では、図示するように二個のアンプの動作状態しかないため、出力切替時には充電型高速アンプ 1 4 p の動作特性しか持ち得ない。また、切替時からレベルが安定するまでの移行期において、放電型低速アンプ 1 2 N 及び充電型高速アンプ 1 4 p の状態は、先に説明した各アンプの応答速度、負荷、オフセット電圧等などに依存するので、特に決まっていない。このような電源回路 1 0, 2 0 の問題を解決する手段が、次に示す第三及び第四実施形態である。

【 0 0 4 8 】

図 7 [1] は本発明に係る電源回路の第三実施形態を示す回路図であり、図 7 [2] は本発明に係る電源回路の第四実施形態を示す回路図である。以下、これらの図面に基づき説明する。ただし、図 1 乃至図 3 と同じ部分は同じ符号を付すことにより説明を省略する。

【 0 0 4 9 】

第三実施形態の電源回路 3 0 は、三つともボルテージフォロワとして動作する放電型低速アンプ 1 2 N、充電型高速アンプ 1 4 p 及び放電型高速アンプ 1 4 n を備え、放電型低速アンプ 1 2 N、充電型高速アンプ 1 4 p 及び放電型高速アンプ 1 4 n の入力端子同士及び出力端子同士がそれぞれ接続されたものである。そして、放電型低速アンプ 1 2 N の入力端子と充電型高速アンプ 1 4 p の入力端子との間には、放電型低速アンプ 1 2 N の入力端子よりも充電型高速アンプ 1 4 p の入力端子の方が低電位になるオフセット電圧 V_{off-} が印加されている。放電型低速アンプ 1 2 N の入力端子と放電型高速アンプ 1 4 n の入力端子との間には、放電型低速アンプ 1 2 N の入力端子よりも放電型高速アンプ 1 4 n の入力端子の方が高電位になるオフセット電圧 V_{off+} が印加されている。また、出力端子同士の接続点と放電型低速アンプ 1 2 N との間に、貫通電流抑制用の抵抗器 1 6 が接続されている。オフセット電圧 V_{off-} 、 V_{off+} は、例えばブリーダ抵抗回路 (図 1 7 参照) によって供給される。

【 0 0 5 0 】

負荷変動によって出力電圧 V_{OUT} が一定以上高くなると、放電型高速アンプ 1 4 n が動作して出力電圧 V_{OUT} を高速で下げる。このとき、放電型低速アンプ 1 2 N は低速ゆえに、充電型高速アンプ 1 4 p は充電型ゆえに、それぞれ動作しない。一方、負荷変動によって出力電圧 V_{OUT} が一定以上低くなると、充電型高速アンプ 1 4 p が動作して出力電圧 V_{OUT} を高速で上げる。このとき、放電型高速アンプ 1 4 n 及び放電型低速アンプ 1 2 N は放電型ゆえに動作しない。放電型低速アンプ 1 2 N は、一定範囲内の出力電圧 V_{OUT} の変動に対して動作する。また、放電型低速アンプ 1 2 N 及び放電型高速アンプ 1 4 n と充電型高速アンプ 1 4 p とは、入力電圧 V_{IN} にオフセット電圧 V_{off} ー分だけの差があるので、同時に動作することによる貫通電流の発生が抑えられる。放電型低速アンプ 1 2 N と放電型高速アンプ 1 4 n とも、入力電圧 V_{IN} にオフセット電圧 V_{off} + 分だけの差があるので、同時に動作することによる消費電力の増加を抑えられる。本発明では、発振しやすい充電型高速アンプ 1 4 p 及び放電型高速アンプ 1 4 n が発振しにくい放電型低速アンプ 1 2 N に並列接続されているので、電源回路 3 0 としては発振しにくいものとなる。したがって、発振を抑えつつ更に高速応答化が図れる。

【 0 0 5 1 】

第四実施形態の電源回路 4 0 は、三つともボルテージフォロワとして動作する充電型低速アンプ 1 2 P、放電型高速アンプ 1 4 n 及び充電型高速アンプ 1 4 p を備え、充電型低速アンプ 1 2 P、放電型高速アンプ 1 4 n 及び充電型高速アンプ 1 4 p の入力端子同士及び出力端子同士がそれぞれ接続されたものである。そして、充電型低速アンプ 1 2 P の入力端子と放電型高速アンプ 1 4 n の入力端子との間には、充電型低速アンプ 1 2 P の入力端子よりも放電型高速アンプ 1 4 n の入力端子の方が高電位になるオフセット電圧 V_{off} + が印加されている。充電型低速アンプ 1 2 P の入力端子と充電型高速アンプ 1 4 p の入力端子との間には、充電型低速アンプ 1 2 P の入力端子よりも充電型高速アンプ 1 4 p の入力端子の方が低電位になるオフセット電圧 V_{off} ーが印加されている。また、出力端子同士の接続点と充電型低速アンプ 1 2 P との間に、貫通電流抑制用の抵抗器

16が接続されている。オフセット電圧 V_{off-} 、 V_{off+} は、例えばブリーダー抵抗回路（図17参照）によって供給される。電源回路40は、電源回路30と比べて電圧の極性が逆になるだけであるので、電源回路30と同等の作用を奏する。

【0052】

第三及び第四実施形態では、一つのレベル出力用のアンプを三種類のシングルエンド型アンプで構成している。入力電圧をそのままバッファリングするアンプとして、低速かつ低消費電力型のシングルエンド型アンプを使う。このとき、通常表示時に駆動する能力に応じて、すなわち放電を主とするか充電を主とするかに応じて、放電型低速アンプ12N又は充電型低速アンプ12Pのどちらか一方に決定する。例えば、通常動作時に充電がメインであれば、通常時には充電側の出力インピーダンスを下げる必要があるから、差動段の出力が出力段のPchトランジスタMPのゲートを駆動するタイプの充電型低速アンプ12Pとなる。同様に、放電がメインであれば、出力段のNchトランジスタMNを駆動する放電型低速アンプ12Nとなる。

【0053】

放電型低速アンプ12N及び充電型低速アンプ12Pアンプは、出力電圧 V_{OUT} が安定した時に発振しないように、位相補償コンデンサ C_c が付設されているので、周波数帯域が1～2桁程度低減している。この周波数帯域は当該アンプの応答速度と等価であり、その応答速度は位相補償コンデンサ C_c とバイアス電流との比にも比例する。したがって、位相補償コンデンサ C_c を付けているこれらのアンプの応答速度は、位相補償コンデンサ C_c を付けないときよりも応答速度が1～2桁遅くなっている。

【0054】

放電型低速アンプ12Nにするか又は充電型低速アンプ12Pにするかは、実際の液晶駆動回路では出力端子（SEG, COM）の出力レベルと極性との関係の表（図16）に基づき一義的に決定される。例えば、あるフレームで考えると、出力は選択か非選択かで二値（ V_{LCn} , V_{LCm} ）をとり得る。この場合、 V_{LCm} について考えると、負荷が接続されるのは $V_{LCn} \rightarrow V_{LCm}$ の時であ

る。したがって、 VLC_n が VLC_m より高いか低いかにより、 VLC_m を出力するレベルは放電能力又は充電能力が必要となる。フレーム反転も含めるといずれの状態も取り得る場合があるが、フレーム反転自体は1フレームの間に1回しか変化しないため、そのようなフレーム切替時を考慮しなくても良い。

【 0 0 5 5 】

放電型高速アンプ14n及び充電型高速アンプ14pは、位相補償コンデンサCcを無くしたり、バイアス電流を増やしたりすることで、放電型低速アンプ12N及び充電型低速アンプ12Pよりも高速動作を可能にしたシングルエンド型アンプである。ここでいう高速アンプは、低速アンプの $1/10$ 以下の時定数すなわち10倍以上の応答速度を有する。なお、本実施形態では、位相補償コンデンサCcをを削除したが、アンプ差動段のバイアス電流を10倍以上流すことにより $1/10$ の応答速度を実現することもできる。

【 0 0 5 6 】

放電型低速アンプ12N及び充電型低速アンプ12Pの出力側に設けられた抵抗器16は貫通電流抑制用である。放電型低速アンプ12N及び充電型低速アンプ12Pは、入力電圧VINに対しては応答が低速であるが、出力電圧VOUTが外的要因（例えばノイズ、負荷、高速アンプ駆動等。）により変動した場合、位相補償コンデンサCcを介して無駄な充放電をすることがある。抵抗器16は、それを防ぐためのものであり、抵抗値としては数 10Ω ～数 100Ω 程度に設定することにより、放電型高速アンプ14n及び充電型高速アンプ14pとの干渉を制限している。

【 0 0 5 7 】

図8〔1〕は、電源回路30を用いた液晶表示装置の等価回路である。図8〔2〕は、放電型低速アンプ12Nの内部構成を示す回路図である。図9〔1〕～図9〔3〕はそれぞれ電源回路30の出力電圧を示す波形図である。以下、これらの図面に基づき、電源回路30の動作を説明する。なお、電源回路40は、電源回路30と比べて電圧の極性が反対になるだけであるので、その説明を省略する。

【 0 0 5 8 】

図 8 [1] に示す電圧 V_{OUT2} , V_L , V_H の各レベルは、電源回路 30 以外のレベルアンプから出力されたものであるが、単純化して固定電圧として説明する。スイッチ $SW1$ が切替わる毎に、電源回路 30 の出力端子（出力電圧 V_{OUT} ）がパネル負荷（コンデンサ） CL に接続される。また、スイッチ $SW2$ が交互に切替わる場合も、パネル負荷 CL の一端が電圧 V_L , V_H のどちらかに切替わって接続されるので、電源回路 30 の出力端子からパネル負荷 CL に対して、レベル維持のために充放電が必要になる。この場合、特に着目しなければならないのは、容量的負荷を駆動するため、従来の DC 的な特性だけでなく、時間的（AC 的）な特性に着目する必要があることである。

【0059】

図 9 [2] に示すように、出力電圧 V_{OUT} が所定の値から大幅にずれた場合、オフセット電圧 V_{off+} , V_{off-} をもって対称に配置された放電型高速アンプ 14n 及び充電型高速アンプ 14p により駆動されるため、第一及び第二実施形態と異なり出力電圧 V_{OUT} の波形はほぼ対称になる。また、図 9 [3] に示すように、放電型高速アンプ 14n 及び充電型高速アンプ 14p の働きにより、液晶表示に影響しない時間で出力電圧 V_{OUT} の変動をオフセット電圧 V_{off-} , V_{off+} 内に抑える。そのため、放電型低速アンプ 12N を使っても、レベル変動が液晶に与える影響は少ない。

【0060】

図 9 で説明すると、放電型低速アンプ 12N は時間 t_0 から時間 t_2 までの応答速度が必要であるが、それより 10 倍以上高速動作する放電高速アンプ 14n によって時間 t_1 頃には主なレベル駆動は完了している。そのため、放電型低速アンプ 12N が完全に動作する時間 t_2 頃には、出力電圧 V_{OUT} の変動分がオフセット電圧 V_{off+} 程度になるので、放電型低速アンプ 12N の差動電圧も低く抑えられる。したがって、放電型低速アンプ 12N が無駄な充放電をすることは無くなる。

【0061】

図 10 は電源回路 30 の動作を示す説明図、図 11 は電源回路 30 の動作を示すグラフである。以下、図 8 乃至図 11 に基づき、電源回路 30 の動作を更に詳

しく説明する。

【 0 0 6 2 】

図 1 0 は、電源回路 3 0 を構成する各アンプ動作を時間的に見たものである。電源回路 3 0 の動作は、第一及び第二実施形態と異なり三つの状態を取り得る。すなわち、出力切替時から充電型高速アンプ 1 4 p 又は放電型高速アンプ 1 4 n が応答している時間 ($t_0 \sim t_1$)、充電型高速アンプ 1 4 p 又は放電型高速アンプ 1 4 n は動作しているが、放電型低速アンプ 1 2 N が応答できない時間 ($t_1 \sim t_2$)、放電型低速アンプ 1 2 N が応答し始める時間以降 ($t_2 \sim$) の三つの時間帯における動作である。

【 0 0 6 3 】

図 1 0 から明らかなように、切替時 ($t_0 \sim t_1$) に出力電圧 V_{OUT} がオフセット電圧 V_{off+} , V_{off-} を越えて変動した場合、放電型高速アンプ 1 4 n 及び充電型高速アンプ 1 4 p はレベル変動の方向に応じていずれか片方が駆動する。このとき、放電型低速アンプ 1 2 N は、応答できないので通常の動作状態（わずかなバイアス電流のみ出力している状態）である。続いて、放電型高速アンプ 1 4 n 又は充電型高速アンプ 1 4 p の働きによって、出力電圧 V_{OUT} の変動が、オフセット電圧 V_{off+} , V_{off-} 内に収まり始める。

【 0 0 6 4 】

しかし、放電型低速アンプ 1 2 N の応答時間よりも短い場合 ($t_1 \sim t_2$)、放電型低速アンプ 1 2 N はまだ応答時間になっていない通常の状態である。そして、充電型高速アンプ 1 4 p は、出力電圧 V_{OUT} (=反転入力端子 $IN-$ の入力電圧) の変動分がオフセット電圧 V_{off-} 以上になると、出力電圧 V_{OUT} が非反転入力端子 $IN+$ の入力電圧 V_{IN} よりも高くなるため、出力用の各トランジスタが（バイアス用トランジスタを除き）OFF する方向に動く。一方、放電型高速アンプ 1 4 n も、出力電圧 V_{OUT} の変動分がオフセット電圧 V_{off+} 以下になると、出力電圧 V_{OUT} が非反転入力端子 $IN+$ の入力電圧 V_{IN} よりも低くなるため、出力用の各トランジスタが OFF する方向に動く。したがって、放電型低速アンプ 1 2 N、充電型高速アンプ 1 4 p 及び放電型高速アンプ 1 4 n の全てのが（バイアス用トランジスタを除いて）ON していない状態になる

ので、貫通電流は流れない。

【0065】

最後に、時間 t_2 頃の頃になると、放電型低速アンプ 12N が動作して出力電圧 V_{OUT} のレベルを入力電圧 V_{IN} と同じにするので安定状態になる。このとき、放電型低速アンプ 12N は、常に入力電圧 V_{IN} と同じになるように出力電圧 V_{OUT} を制御する。そのため、充電型高速アンプ 14p 及び放電型高速アンプ 14n の出力段は、時間 t_1 以降と同様に OFF した状態で安定する。

【0066】

以上の動作による出力波形は、図 9 に示す。図 9 [3] から明らかなように、第一及び第二実施形態における波形よりも、出力電圧の波形歪みが低減されている。また、上記説明と図 10 とから明らかなように、貫通電流は流れにくくなっている。

【0067】

また、図 11 [2] , [3] は電源回路 30 を構成する三つのアンプそれぞれの DC 的な特性（入力差電圧と電流駆動能力との関係）である。図 11 [1] は、電源回路 30 における DC 特性である。図 11 から明らかなように、入力電圧 = 出力電圧の時には、DC 的には貫通電流が流れない特性になっている。

【0068】

図 12 [1] は本発明に係る電源回路の第五実施形態を示す等価回路図であり、図 12 [2] は図 12 [1] における放電型低速兼高速アンプの内部構成を示す回路図である。図 13 は、図 12 [2] における制御信号を示す波形図である。以下、これらの図面に基づき説明する。ただし、図 1 乃至図 3 と同じ部分は同じ符号を付すことにより説明を省略する。

【0069】

本実施形態の電源回路 50 は、二つともボルテージフォロワとして動作する放電型低速兼高速アンプ 52Pp 及び充電型高速アンプ 14p を備え、放電型低速兼高速アンプ 52Pp 及び充電型高速アンプ 14p の入力端子同士及び出力端子同士がそれぞれ接続されたものである。そして、放電型低速兼高速アンプ 52Pp の入力端子と充電型高速アンプ 14p の入力端子との間には、放電型低速兼高

速アンプ 5 2 P p の入力端子よりも充電型高速アンプ 1 4 p の入力端子の方が低電位になるオフセット電圧 V_{off-} が印加されている。これに加え、放電型低速兼高速アンプには、切替手段としてのスイッチ 1 1, 1 2 及びトランジスタ M_n が設けられている。この切替手段は、放電型低速アンプ 1 2 N としての動作と放電型高速アンプ 1 4 n としての動作とのどちらか一方に、外部信号としての制御信号 CTR, CTRB に応じて切り替える。

【 0 0 7 0 】

負荷変動によって出力電圧 V_{OUT} が一定以上高くなると、放電型低速兼高速アンプ 5 2 P p が放電型高速アンプ 1 4 n として動作して出力電圧 V_{OUT} を高速で下げる。このとき、充電型高速アンプ 1 4 p は充電型ゆえに動作しない。一方、負荷変動によって出力電圧 V_{OUT} が一定以上低くなると、充電型高速アンプ 1 4 p が動作して出力電圧 V_{OUT} を高速で上げる。このとき、放電型低速兼高速アンプ 5 2 P p は放電型ゆえに動作しない。放電型低速兼高速アンプ 5 2 P p は、一定範囲内の出力電圧 V_{OUT} の変動に対して放電型低速アンプ 1 2 N として動作する。また、放電型低速兼高速アンプ 5 2 P p と充電型高速アンプ 1 4 p とは、入力電圧にオフセット電圧 V_{off-} 分だけの差があるので、同時に動作することによる貫通電流の発生が抑えられる。本実施形態では、発振しやすい充電型高速アンプ 1 4 p が発振しにくい放電型低速兼高速アンプ 5 2 P に並列接続されているので、電源回路 5 0 としては発振しにくいものとなる。したがって、発振を抑えつつ更に高速応答化が図れる。しかも、放電型低速兼高速アンプ 5 2 P p は、一つでありながら放電型低速アンプ 1 2 N にも放電型高速アンプ 1 4 n にも動作するので、小型化にも寄与できる。

【 0 0 7 1 】

更に詳しく説明する。第三び第四実施形態ではアンプを三個使うため、メインの放電型低速アンプ 1 2 N 又は充電型低速アンプ 1 2 P の出力段を削減してもレイアウト面積が余り改善しない場合がある。そこで、本実施形態のように、メインのシングルエンド型のアンプに対して、位相補償コンデンサ C_c とオフセット電圧 V_{off+} とを同時に外部から切り替えるスイッチ SW 1 1, SW 1 2 を追加する。そして、図 1 3 に示す制御信号にてこれらの ON/OFF を制御するこ

とにより、当該アンプが低速－高速の二種類の特性を持つことが可能になる。すなわち、図 1 4 [1] における放電型低速アンプ 1 2 N 及び放電型高速アンプ 1 4 n を、図 1 4 [2] の回路に置き換えることが可能になる。

【 0 0 7 2 】

図 1 3 がこれら回路の制御信号であり、レベル切替信号は、パネル負荷 C L と電源回路 5 0 との接続切替信号であり、図 8 におけるスイッチ S W 1 , S W 2 の O N - O F F 信号に対応する。この時の放電型低速兼高速アンプ 5 2 P p の特性を切り替える制御信号 C T R は、出力切替時のみ S W 1 1 = O N 、 S W 1 2 = O F F 、それ以外では S W 1 1 = O F F 、 S W 1 2 = O N とするように設計されている。また、切替時のみ制御するように、すなわち $T 1 = t 1 - t 0$ (高速アンプの時定数程度) の間だけ動作するように、タイミングを作れば良い。

【 0 0 7 3 】

これにより同じ能力を持つアンプ同士は、わずかなスイッチの追加と制御信号の追加とにより、見かけ上レイアウトを共用したことになる。したがって、液晶表示に最適なプッシュプルアンプでありながら、レイアウト面積を低減することが可能となっている。なお、図 7 [2] に示す電源回路 4 0 における充電型低速アンプ 1 2 P 及び充電型高速アンプ 1 4 p を、本実施形態に準じて充電型低速兼高速アンプとした場合も、本実施形態と同等の作用及び効果を奏する。

【 0 0 7 4 】

図 1 4 [1] は本発明に係る電源回路の第六実施形態を示す回路図であり、図 1 4 [2] は図 1 4 [1] における制御信号を示す波形図である。以下、これらの図面に基づき説明する。ただし、図 1 乃至図 3 と同じ部分は同じ符号を付すことにより説明を省略する。

【 0 0 7 5 】

本実施形態の電源回路 6 0 は、放電型低速アンプ 1 2 N 、充電型高速アンプ 1 4 p 及び放電型高速アンプ 1 4 n と出力端子同士の接続点との間に、スイッチ手段としてのスイッチ S W 2 1 , S 2 2 , S 2 3 が設けられたものである。このスイッチ手段は、それぞれ外部信号としての制御信号 C T R L 1 , C T R L 2 に応じて、接点が開閉する。電源回路 6 0 によれば、各アンプが積極的に動作してい

ないときに流れるバイアス電流等を遮断できるので、消費電力を低減できる。

【 0 0 7 6 】

更に詳しく説明する。図 1 0 で示したように、実際に動作したアンプに着目すると、放電型高速アンプ 1 4 n 及び充電型高速アンプ 1 4 p のみ駆動→全て駆動 OFF→放電型低速アンプ 1 2 N のみ駆動、となる。つまり、出力動作 OFF 又は応答できない状態であるアンプの出力段などに、バイアス電流を流すのは無駄であることが解る。そこで、三個のスイッチ SW 2 1 ~ SW 2 3 と、二つの制御信号 CTRL 1, CTRL 2 (図 1 3 と同様) とを追加することにより、より低消費電力なプッシュプルアンプ構成を実現する。なお、図 7 [2] に示す電源回路 4 0 に、本実施形態に準じてスイッチ手段を設けた場合も、本実施形態と同等の作用及び効果を奏する。

【 0 0 7 7 】

なお、本発明は、言うまでもなく、上記実施形態に限定されるものではない。例えば、本発明に係る電源回路は、液晶表示装置の駆動用に限らず、例えば E L 表示装置などの駆動用としても適用できる。

【 0 0 7 8 】

【発明の効果】

請求項 1 記載の電源回路によれば、放電型低速アンプ及び充電型高速アンプの入力端子同士及び出力端子同士がそれぞれ接続され、放電型低速アンプの入力端子と充電型高速アンプの入力端子との間には、放電型低速アンプの入力端子よりも充電型高速アンプの入力端子の方が低電位になるオフセット電圧が印加されていることにより、負荷変動によって出力電圧が低くなると充電型高速アンプが動作して出力電圧を高速で上げるので、負荷変動に対する応答性を改善できる。また、放電型低速アンプと充電型高速アンプとには、入力電圧にオフセット電圧分だけの差があるので、同時に動作することによる貫通電流の発生を抑制できる。更に、発振しやすい高速アンプが発振しにくい低速アンプに並列接続されているので、発振を抑制できる。したがって、発振を抑えつつ高速応答化が図れる。

【 0 0 7 9 】

請求項 2 記載の電源回路によれば、充電型低速アンプ及び放電型高速アンプの

入力端子同士及び出力端子同士がそれぞれ接続され、充電型低速アンプの入力端子と放電型高速アンプの入力端子との間には、充電型低速アンプの入力端子よりも放電型高速アンプの入力端子の方が高電位になるオフセット電圧が印加されていることにより、負荷変動によって出力電圧が高くなると放電型高速アンプが動作して出力電圧を高速で下げるので、負荷変動に対する応答性を改善できる。また、充電型低速アンプと放電型高速アンプとには、入力電圧にオフセット電圧分だけの差があるので、同時に動作することによる貫通電流の発生を抑制できる。更に、発振しやすい高速アンプが発振しにくい低速アンプに並列接続されているので、発振を抑制できる。したがって、発振を抑えつつ高速応答化が図れる。

【 0 0 8 0 】

請求項 3 記載の電源回路によれば、放電型低速アンプ、充電型高速アンプ及び放電型高速アンプの入力端子同士及び出力端子同士がそれぞれ接続され、放電型低速アンプの入力端子と充電型高速アンプの入力端子との間には、放電型低速アンプの入力端子よりも充電型高速アンプの入力端子の方が低電位になるオフセット電圧が印加され、放電型低速アンプの入力端子と放電型高速アンプの入力端子との間には、放電型低速アンプの入力端子よりも放電型高速アンプの入力端子の方が高電位になるオフセット電圧が印加されていることにより、負荷変動によって出力電圧が一定以上変動すると、充電型高速アンプ又は放電型高速アンプが動作して出力電圧を高速で制御するので、負荷変動に対する応答性を更に改善できる。また、放電型低速アンプ及び放電型高速アンプと充電型高速アンプとは、入力電圧にオフセット電圧分だけの差があるので、同時に動作することによる貫通電流の発生を抑制できる。しかも、放電型低速アンプと放電型高速アンプとにも、入力電圧にオフセット電圧分だけの差があるので、同時に動作することによる消費電力の増加を抑制できる。更に、発振しやすい高速アンプが発振しにくい低速アンプに並列接続されているので、発振を抑制できる。したがって、発振を抑えつつ更に高速応答化が図れる。

【 0 0 8 1 】

請求項 4 記載の電源回路によれば、充電型低速アンプ、放電型高速アンプ及び充電型高速アンプの入力端子同士及び出力端子同士がそれぞれ接続され、充電型

低速アンプの入力端子と放電型高速アンプの入力端子との間には、充電型低速アンプの入力端子よりも放電型高速アンプの入力端子の方が高電位になるオフセット電圧が印加され、充電型低速アンプの入力端子と充電型高速アンプの入力端子との間には、充電型低速アンプの入力端子よりも充電型高速アンプの入力端子の方が低電位になるオフセット電圧が印加されていることにより、負荷変動によって出力電圧が一定以上変動すると、充電型高速アンプ又は放電型高速アンプが動作して出力電圧を高速で制御するので、負荷変動に対する応答性を更に改善できる。また、充電型低速アンプ及び充電型高速アンプと放電型高速アンプとは、入力電圧にオフセット電圧分だけの差があるので、同時に動作することによる貫通電流の発生を抑制できる。しかも、充電型低速アンプと充電型高速アンプとにも、入力電圧にオフセット電圧分だけの差があるので、同時に動作することによる消費電力の増加を抑制できる。更に、発振しやすい高速アンプが発振しにくい低速アンプに並列接続されているので、発振を抑制できる。したがって、発振を抑えつつ更に高速応答化が図れる。

【 0 0 8 2 】

請求項 9 又は 1 0 記載の電源回路によれば、出力端子同士の接続点と低速アンプとの間に貫通電流抑制用の抵抗器が接続されているので、前述の効果に加え、オフセット電圧の変動やアンプ特性の変動に起因する貫通電流の発生を抑制できる。

【 0 0 8 3 】

請求項 1 1 記載の電源回路によれば、放電型低速アンプ又は放電型高速アンプのどちらか一方に外部信号によって切り替えられる放電型低速兼高速アンプを備えたことにより、一つアンプでありながら放電型低速アンプにも放電型高速アンプにも動作するので、前述の効果に加え、小型化にも寄与できる。

【 0 0 8 4 】

請求項 1 2 記載の電源回路によれば、充電型低速アンプ又は充電型高速アンプのどちらか一方に外部信号によって切り替えられる充電型低速兼高速アンプを備えたことにより、一つアンプでありながら充電型低速アンプにも充電型高速アンプにも動作するので、前述の効果に加え、小型化にも寄与できる。

【 0 0 8 5 】

請求項 1 3 記載の電源回路によれば、放電型低速アンプ、充電型高速アンプ及び放電型高速アンプと出力端子同士の接続点との間に、それぞれ外部信号に応じて接点が開閉するスイッチ手段が設けられたことにより、各アンプが積極的に動作していないときに流れるバイアス電流等を遮断できるので、前述の効果に加え、消費電力を低減できる。

【 0 0 8 6 】

請求項 1 4 記載の電源回路によれば、充電型低速アンプ、充電型高速アンプ及び放電型高速アンプと出力端子同士の接続点との間に、それぞれ外部信号に応じて接点が開閉するスイッチ手段が設けられたことにより、各アンプが積極的に動作していないときに流れるバイアス電流等を遮断できるので、前述の効果に加え、消費電力を低減できる。

【 0 0 8 7 】

換言すると、本発明に係る電源回路によれば、オフセット電圧を持たせた二つの高速アンプと一つの低速アンプとで一つの出力電圧を生成することにより、出力負荷を切り替えたことによる又は接続された容量負荷のもう一端のレベルが変化したことによる出力電圧の変動に対して、変化方向に応じて高速アンプが応答することにより、所定のレベルから設定したオフセット電圧以内に瞬時にレベルを駆動できる。また、オフセット電圧以内では、二個の高速アンプが出力を OFF し、最終的には低速アンプが応答又は動作することにより、所定の電圧への復帰時における貫通電流を発生することもなく、波形歪みがもっとも少ない駆動を実現することが可能である。また、この場合、低速アンプはオフセット電圧以内の電圧を駆動する能力を持てば良いので、出力トランジスタのサイズの最適化が可能となる。

【図面の簡単な説明】

【図 1】

図 1 [1] は本発明に係る電源回路の第一実施形態を示す回路図であり、図 1 [2] は本発明に係る電源回路の第二実施形態を示す回路図である。

【図 2】

図 1 における低速アンプの内部構成を示す回路図であり、図 2 [1] は放電型低速アンプ、図 2 [2] は充電型低速アンプである。

【図 3】

図 1 における高速アンプの内部構成を示す回路図であり、図 3 [1] は放電型高速アンプ、図 3 [2] は充電型高速アンプである。

【図 4】

図 4 [1] は、図 1 [1] の電源回路を用いた液晶表示装置の等価回路図である。図 4 [2] は、放電型低速アンプの内部構成を示す回路図である。

【図 5】

図 5 [1] ～図 5 [5] は、それぞれ図 1 [1] の電源回路の出力電圧を示す波形図である。

【図 6】

図 6 [1] 及び図 6 [2] は、それぞれ図 1 [1] の電源回路の DC 特性を示すグラフである。

【図 7】

図 7 [1] は本発明に係る電源回路の第三実施形態を示す回路図であり、図 7 [2] は本発明に係る電源回路の第四実施形態を示す回路図である。

【図 8】

図 8 [1] は、図 7 [1] の電源回路を用いた液晶表示装置の等価回路である。図 8 [2] は、図 8 [1] における放電型低速アンプの内部構成を示す回路図である。

【図 9】

図 9 [1] ～図 9 [3] は、それぞれ図 7 [1] の電源回路の出力電圧を示す波形図である。

【図 1 0】

は図 7 [1] の電源回路の動作を示す説明図である。

【図 1 1】

図 1 1 [1] ～図 1 1 [3] は、それぞれ図 7 [1] の電源回路の動作を示すグラフである。

【図 1 2】

図 1 2 [1] は本発明に係る電源回路の第五実施形態を示す等価回路図であり、図 1 2 [2] は図 1 2 [1] における放電型低速兼高速アンプの内部構成を示す回路図である。

【図 1 3】

図 1 2 [2] における制御信号を示す波形図である。

【図 1 4】

図 1 4 [1] は本発明に係る電源回路の第六実施形態を示す回路図であり、図 1 4 [2] は図 1 4 [1] における制御信号を示す波形図である。

【図 1 5】

液晶表示装置の概略を示すブロック図である。

【図 1 6】

図 1 5 の液晶パネルに対する印加電圧を示す図表である。

【図 1 7】

従来の液晶駆動用電源回路を示すブロック図である。

【図 1 8】

図 1 7 の液晶駆動用電源回路に含まれる充電型アンプと放電型アンプとの内部構成を示す回路図である。

【符号の説明】

1 0 , 2 0 , 3 0 , 4 0 , 5 0 , 6 0 電源回路

1 2 N 放電型低速アンプ

1 2 P 充電型低速アンプ

1 4 n 放電型高速アンプ

1 4 p 充電型高速アンプ

1 6 抵抗器

5 2 P p 放電型低速兼高速アンプ

C c 位相補償コンデンサ

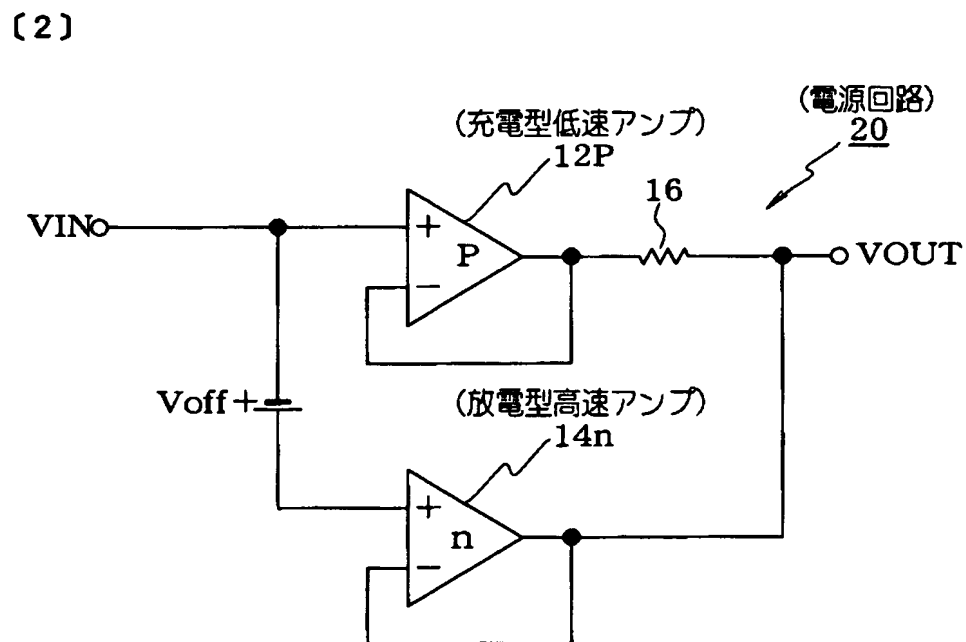
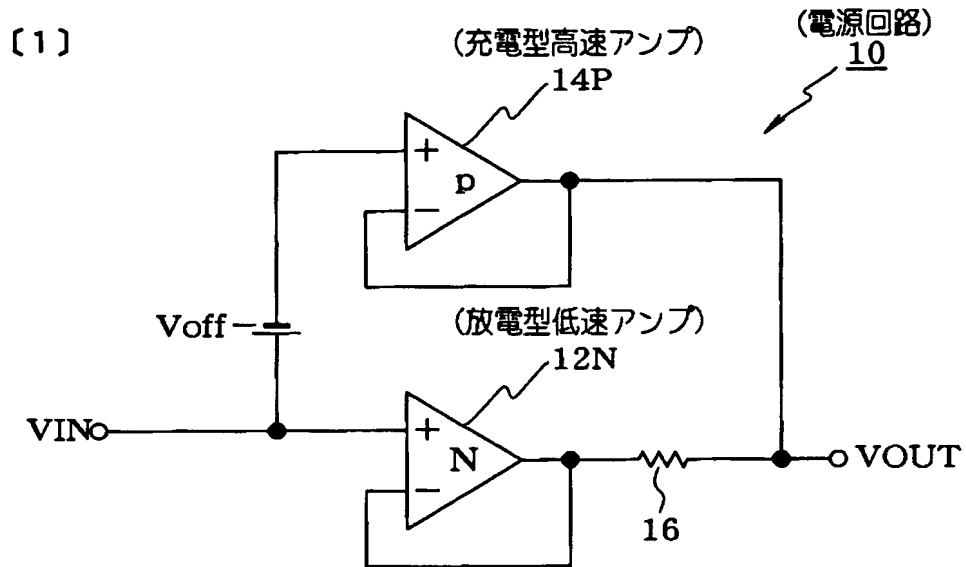
V o f f - , V o f f + オフセット電圧

V O U T 出力電圧

V I N 入力電圧

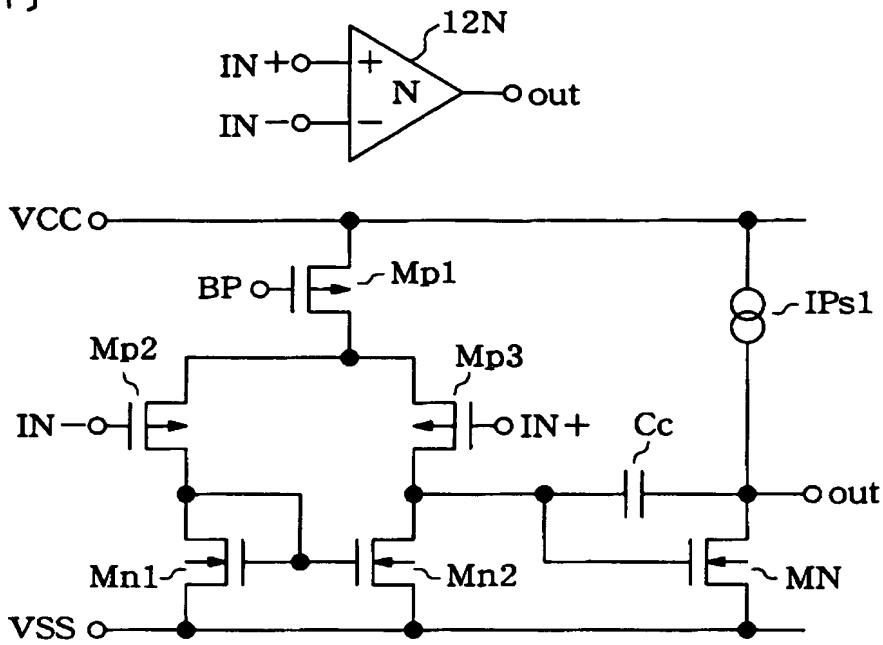
【書類名】 図面

【図 1】

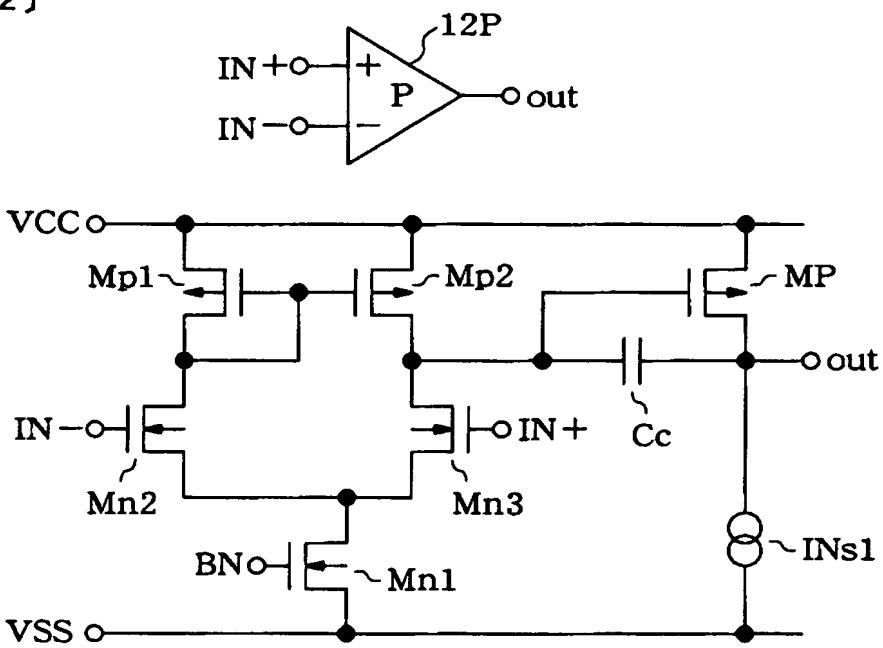


【図 2】

〔1〕

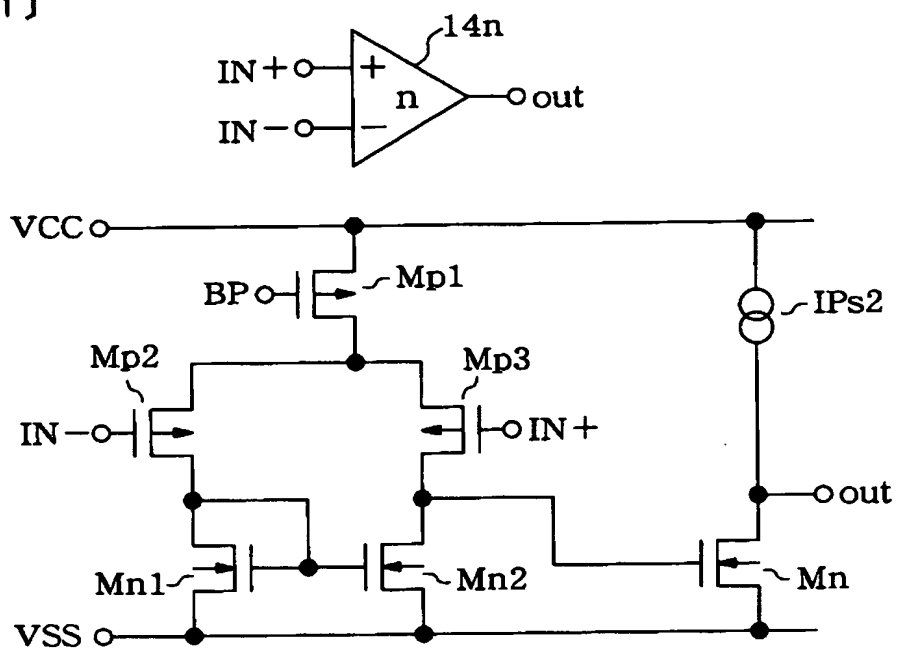


〔2〕

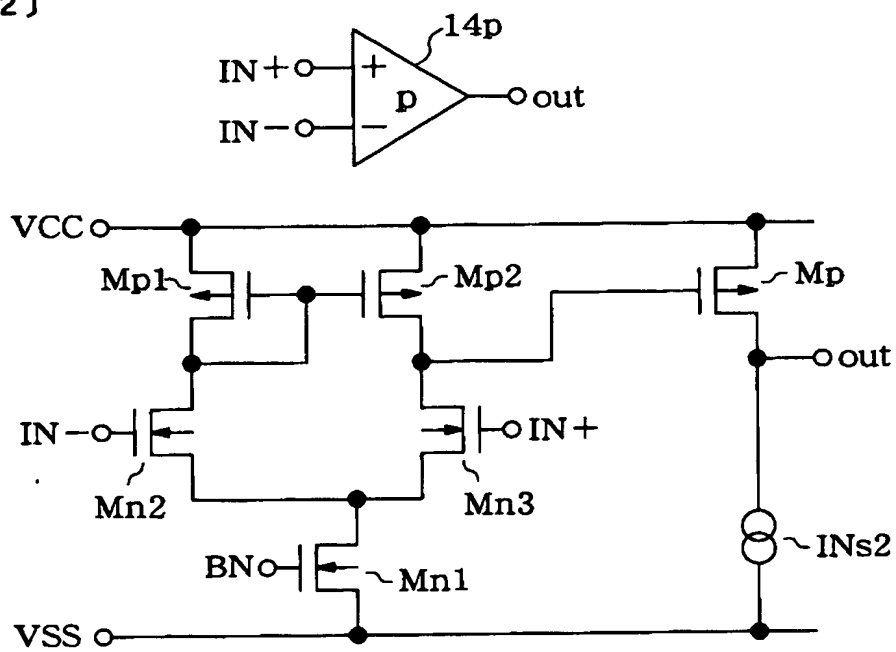


【図 3】

(1)

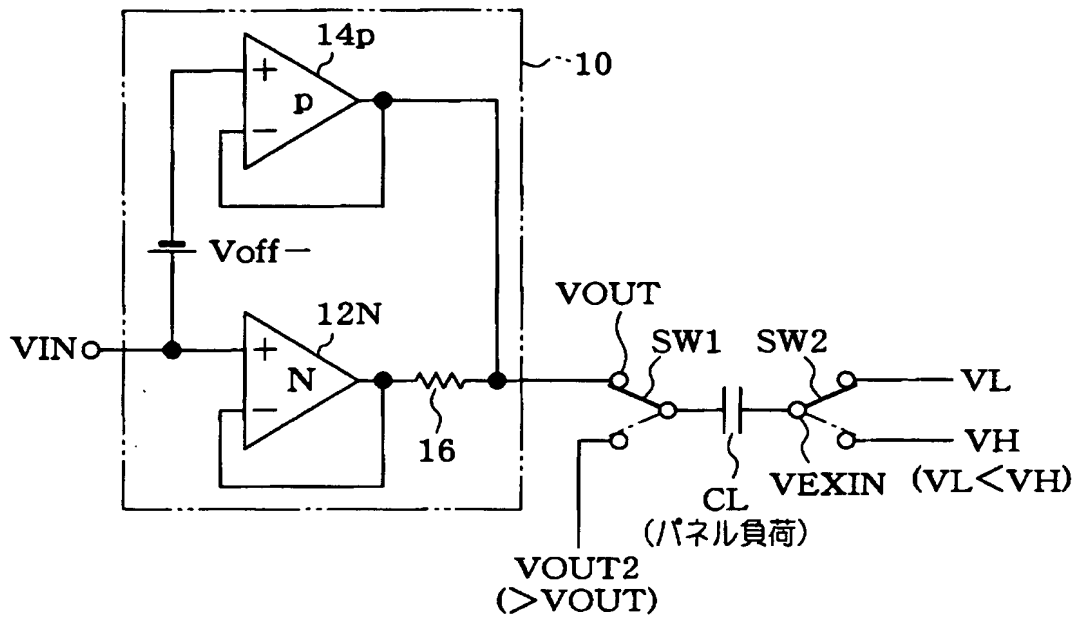


(2)

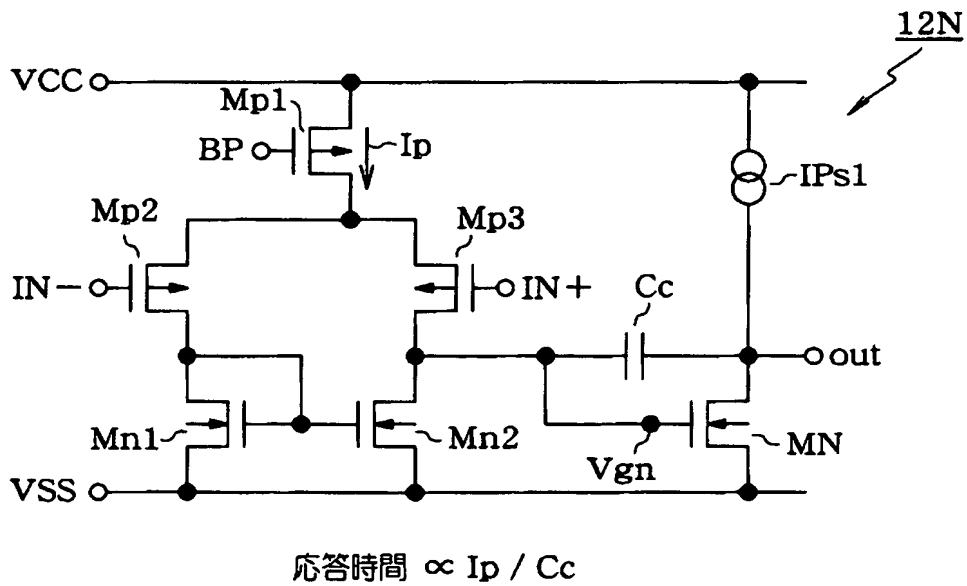


【図4】

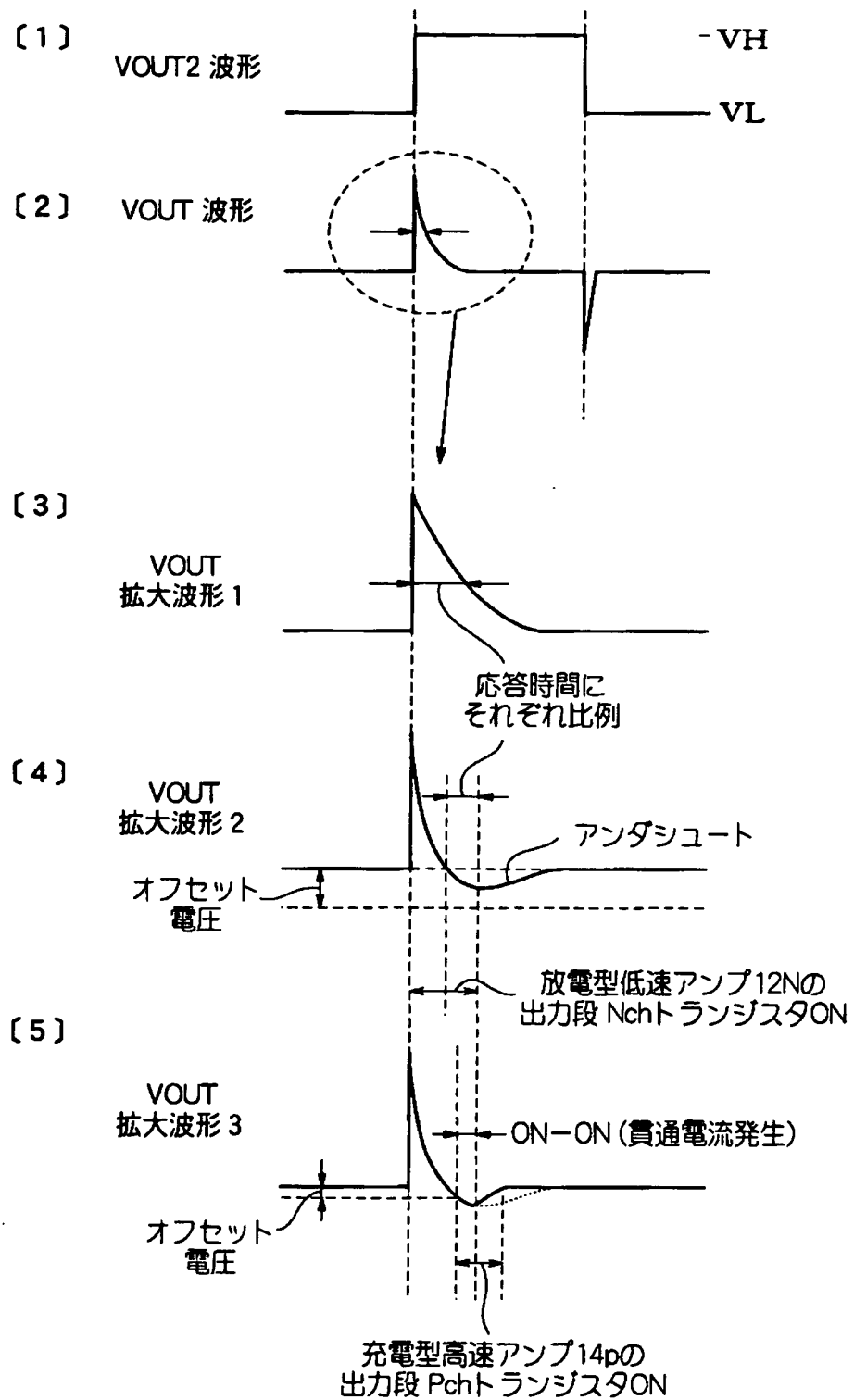
〔1〕



〔2〕

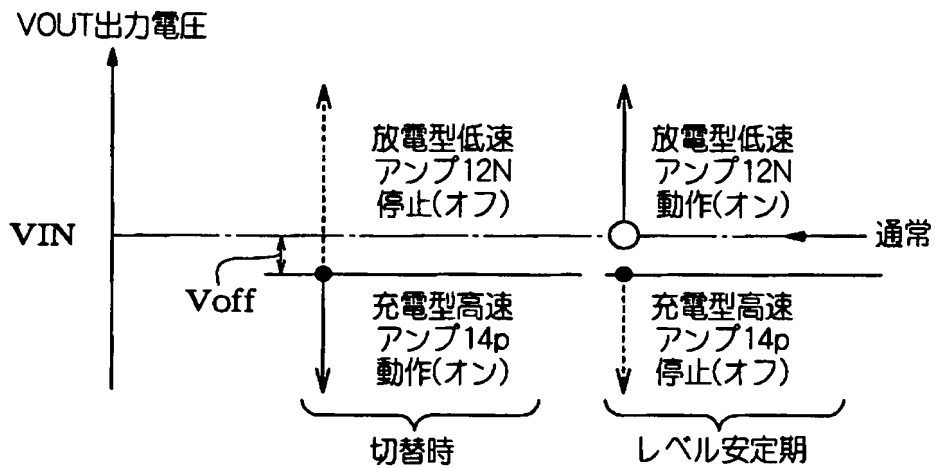


【図 5】

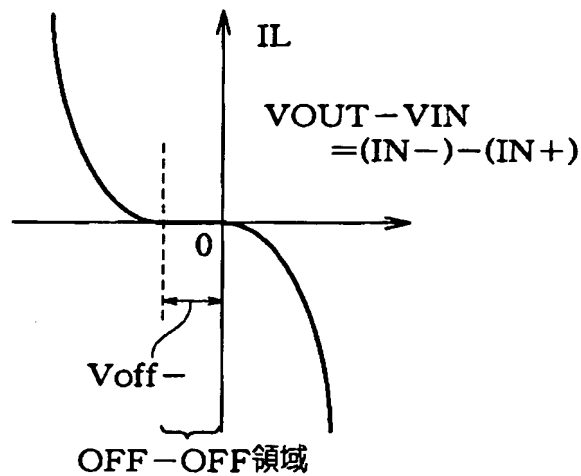


【図 6】

〔1〕

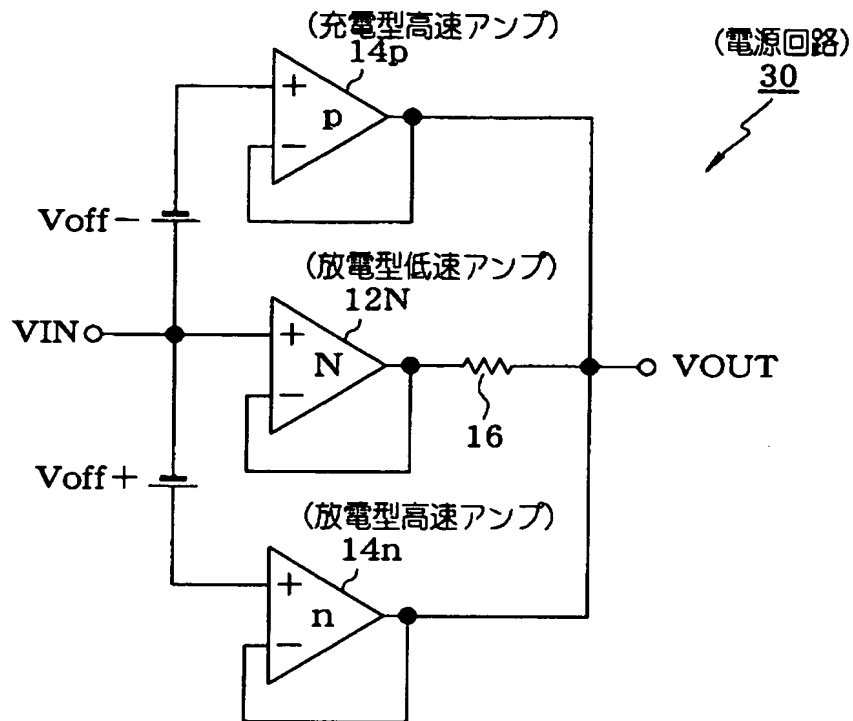


〔2〕

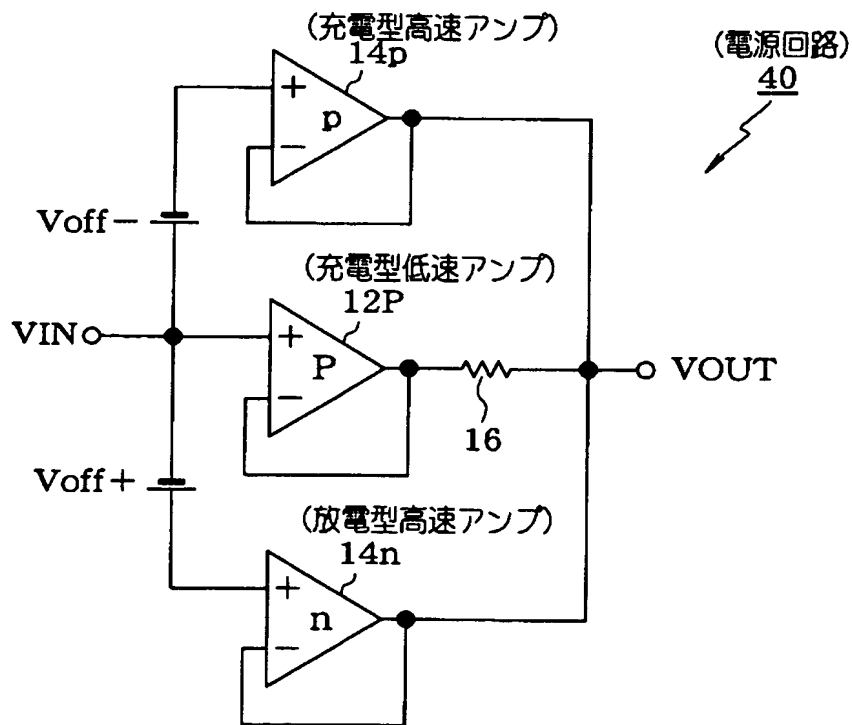


【図 7】

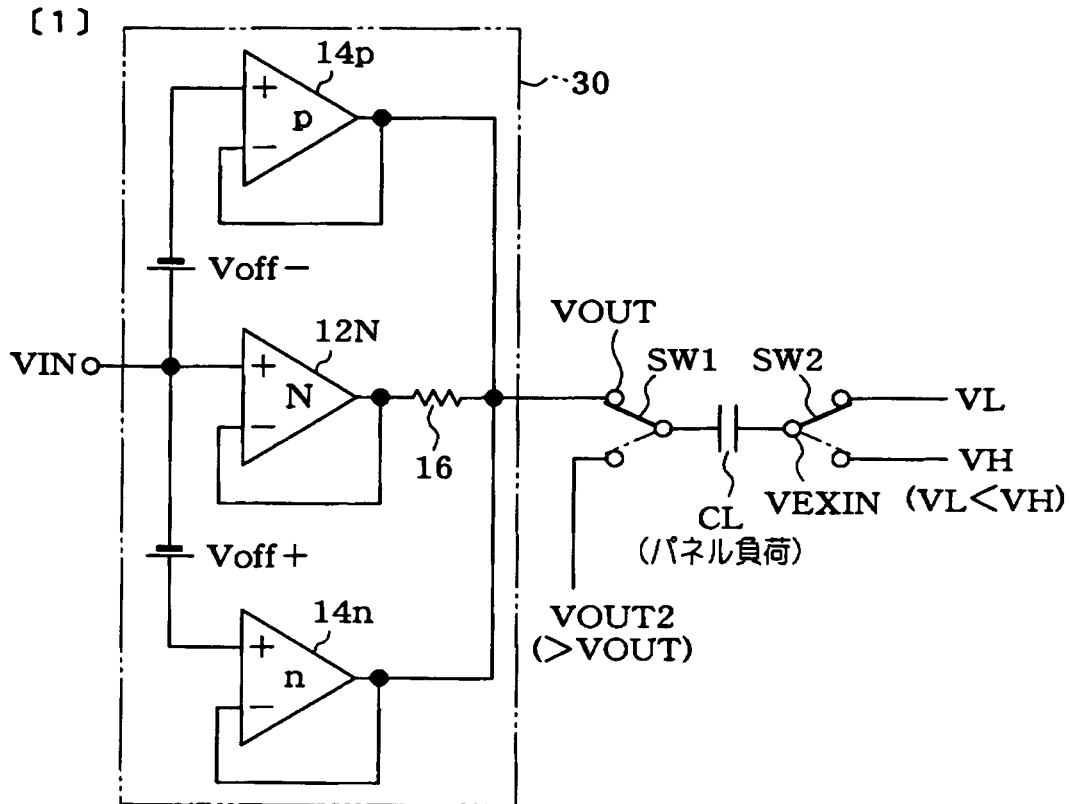
〔1〕



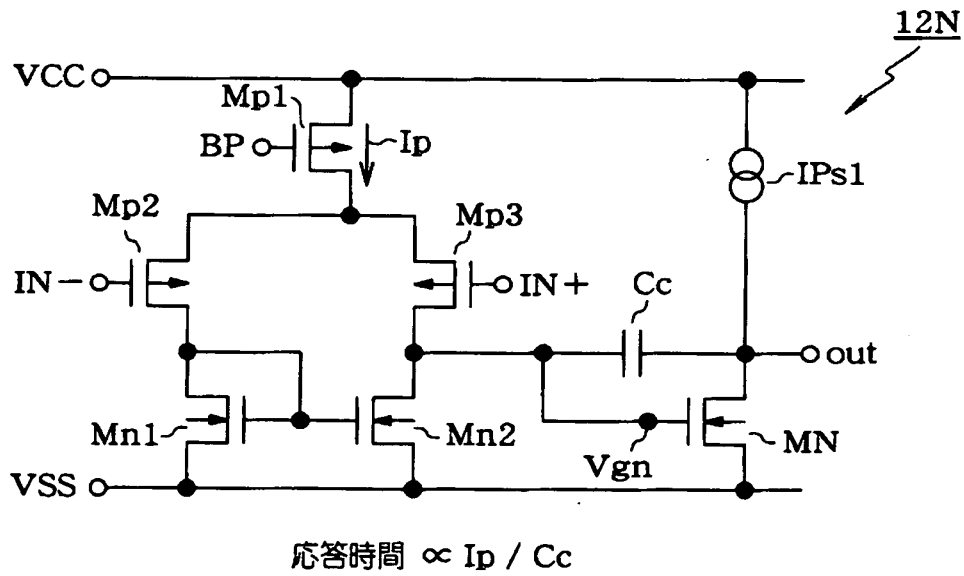
〔2〕



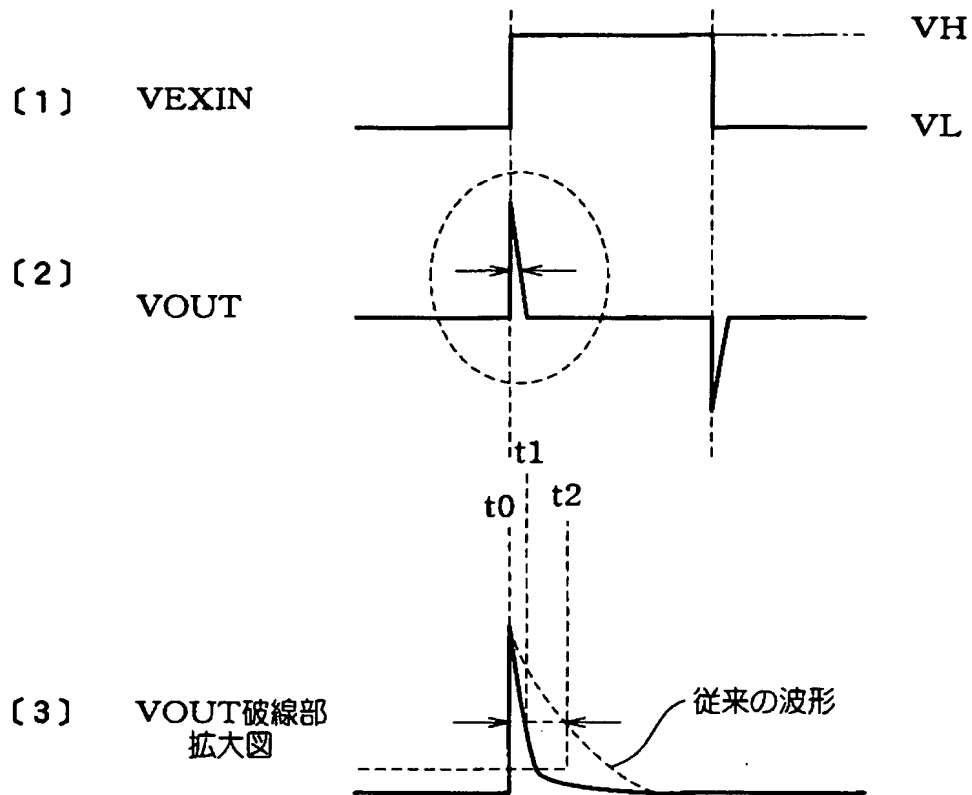
【図 8】



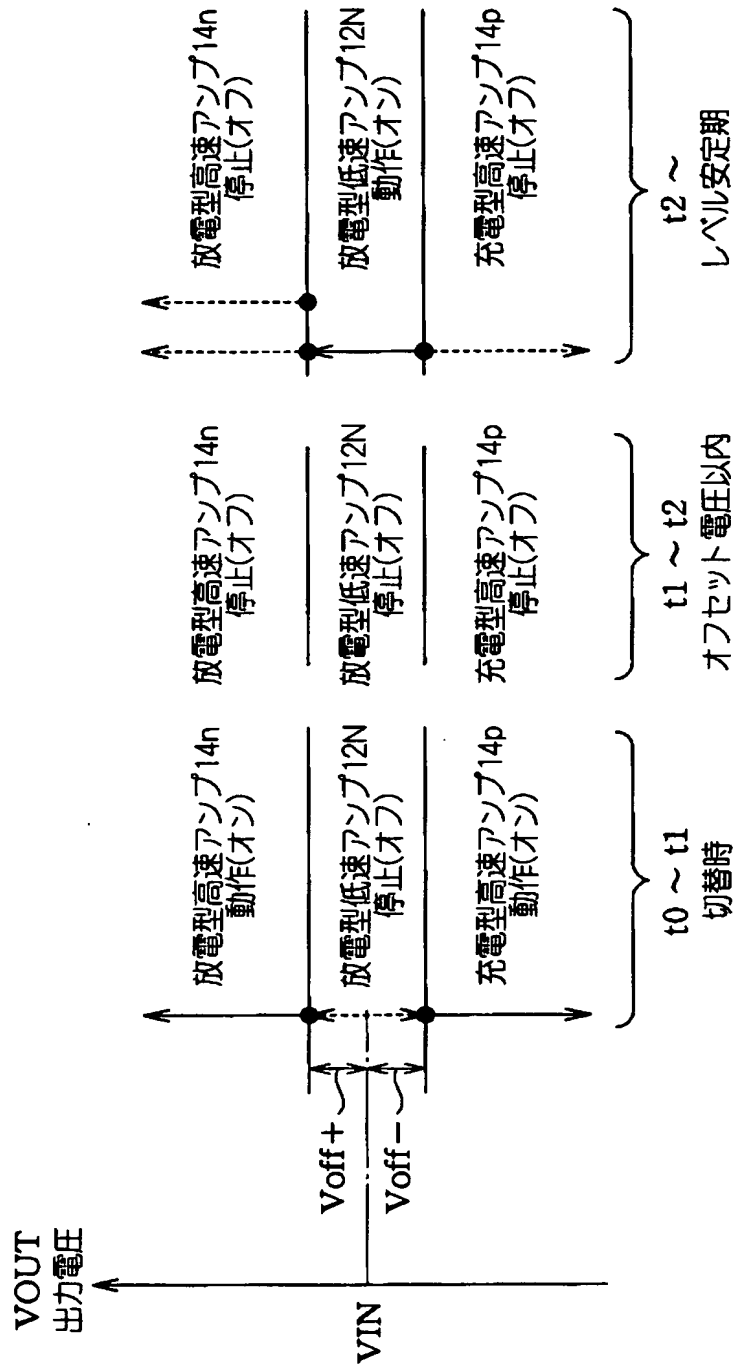
(2)



【図9】

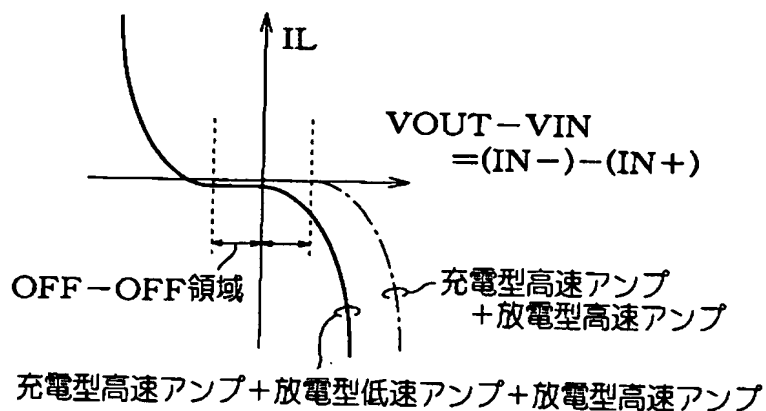


【図10】

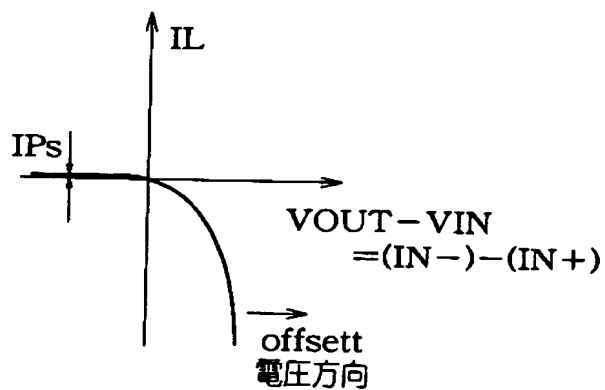


【図 11】

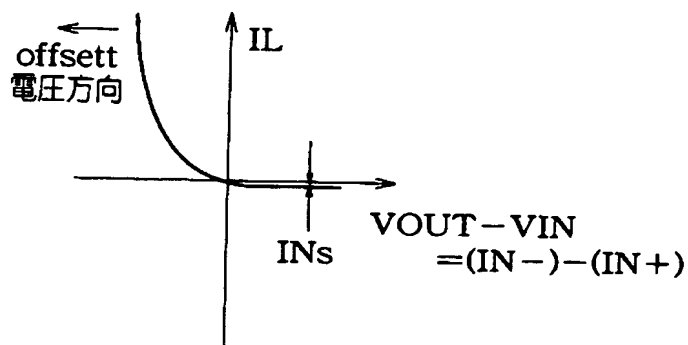
〔1〕 充電型高速アンプ+放電型低速アンプ+放電型高速アンプ



〔2〕 放電型低速アンプ、放電型高速アンプ

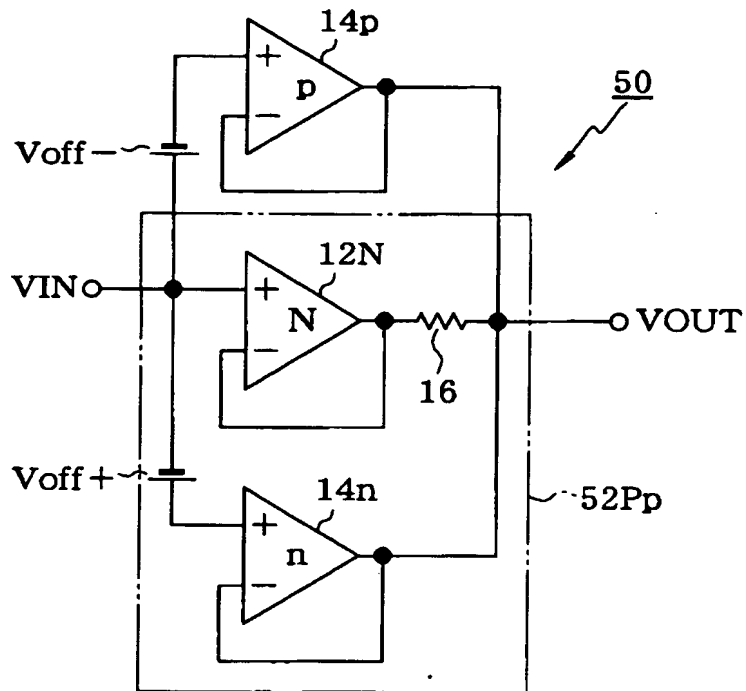


〔3〕 充電型高速アンプ

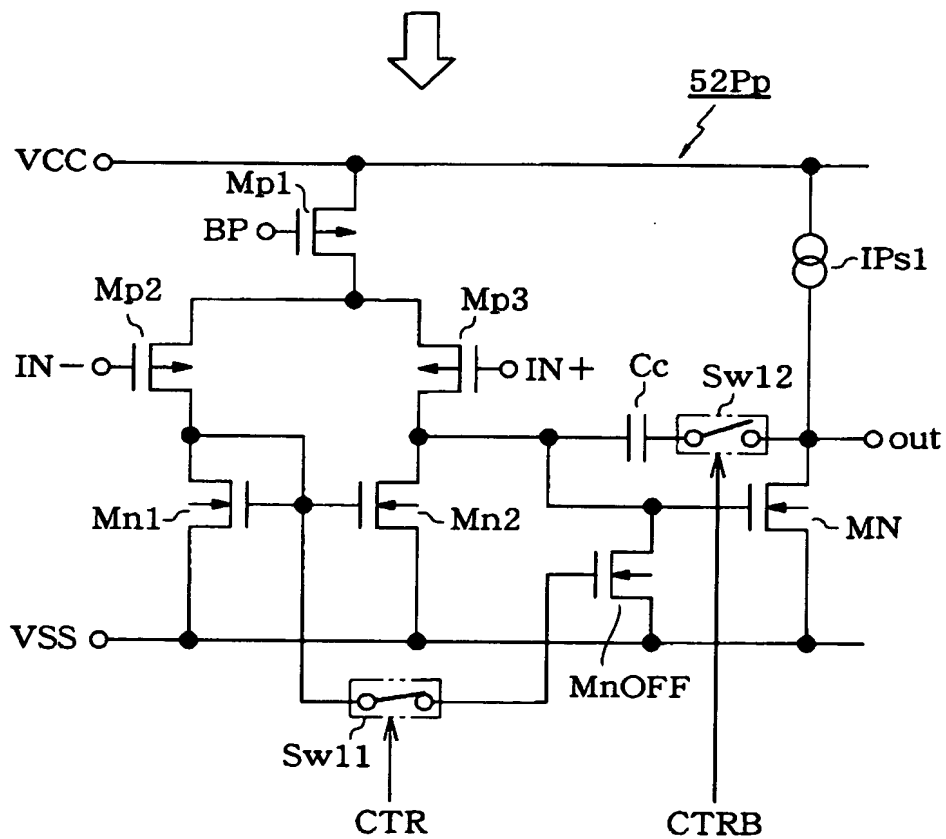


【図 12】

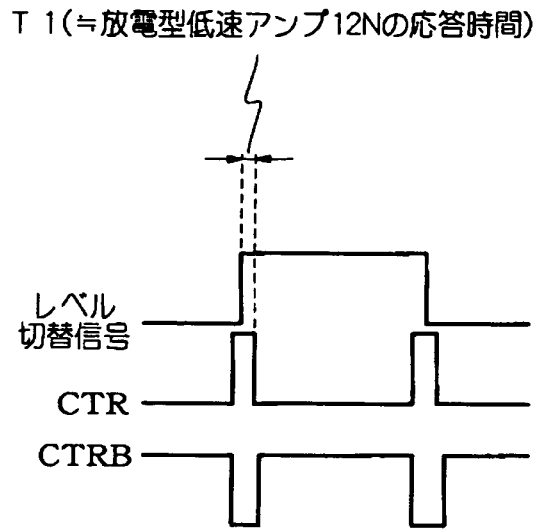
〔1〕



〔2〕

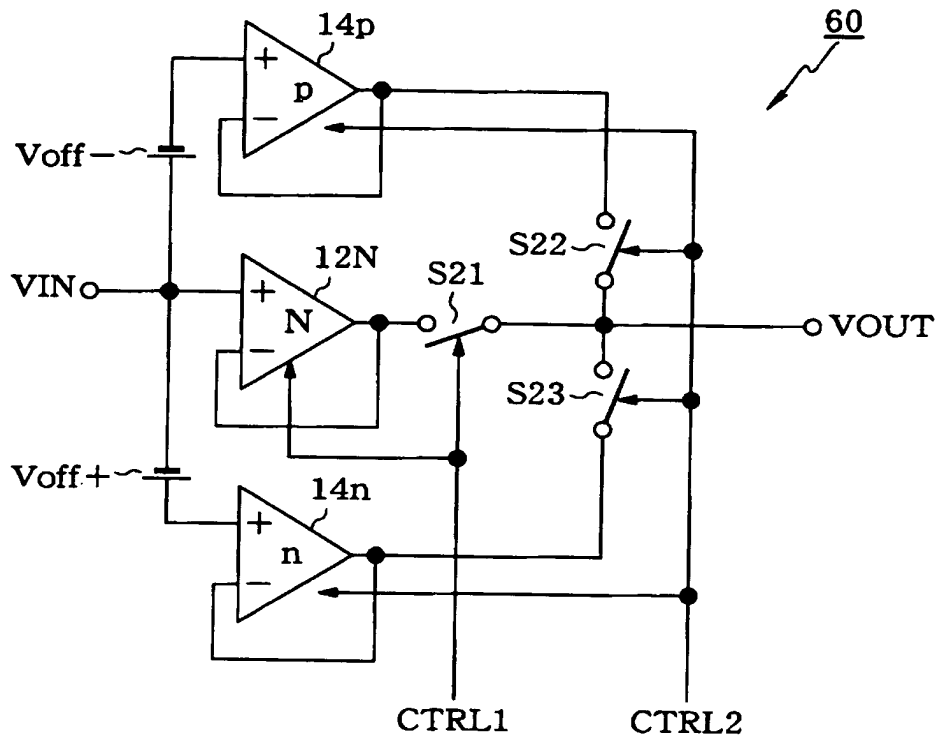


【図 1 3】

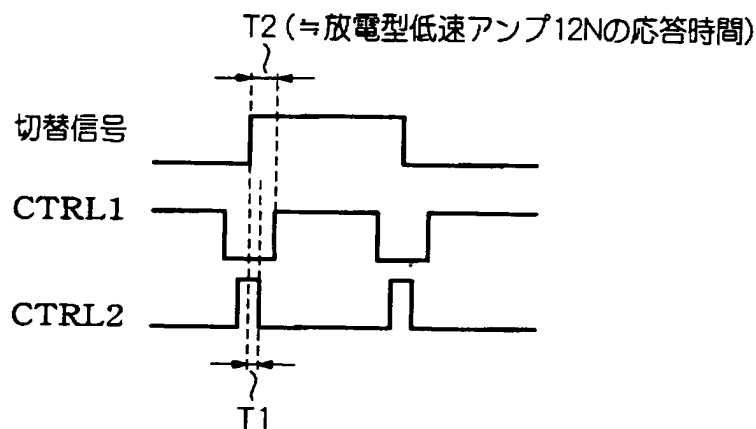


【図14】

〔1〕



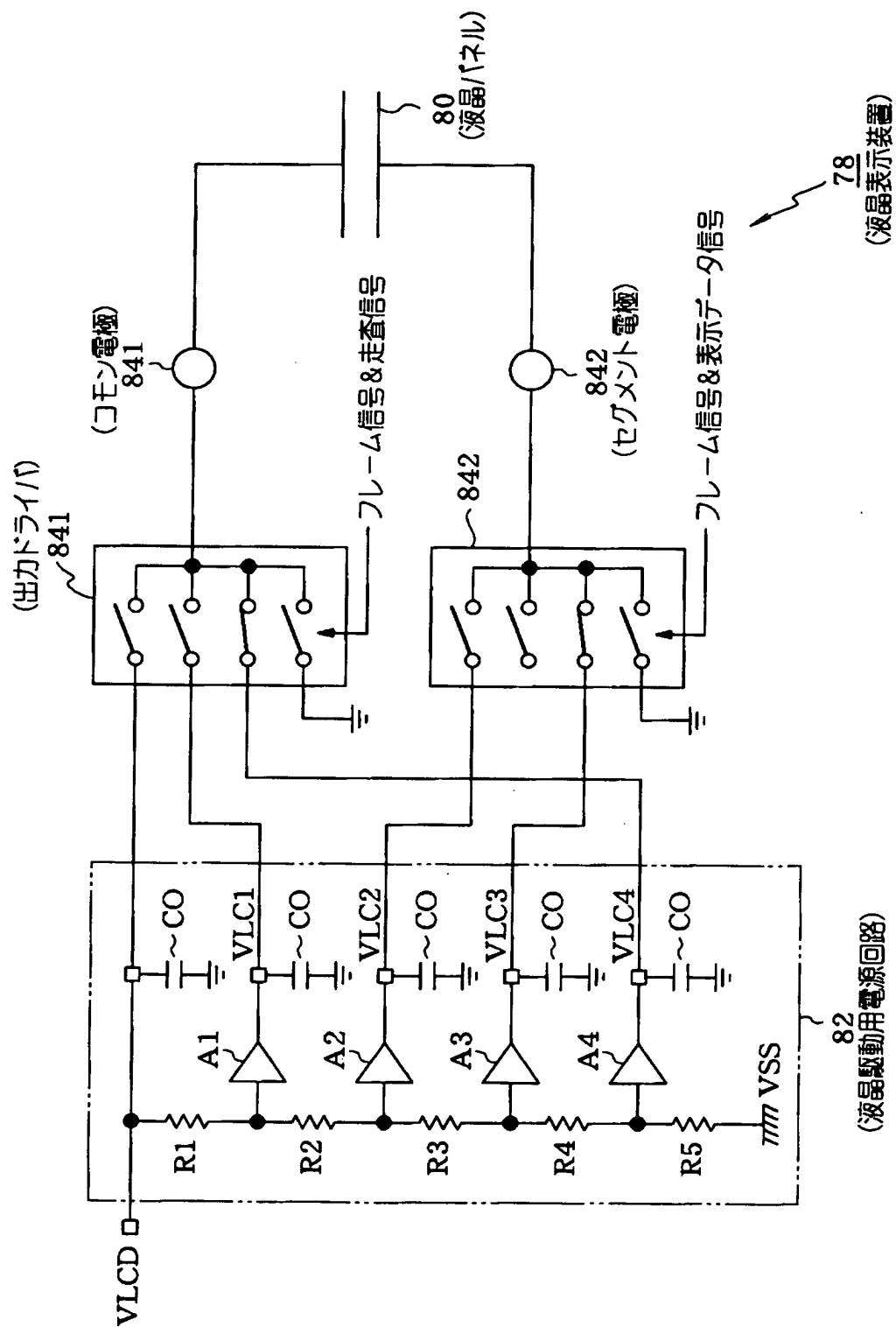
〔2〕



(但し、 $T2 > T1 >$ 放電型高速アンプ14n及び充電型高速アンプ14pの応答時間)

CTRL1(2)=Hにて
SW ON & アンプON

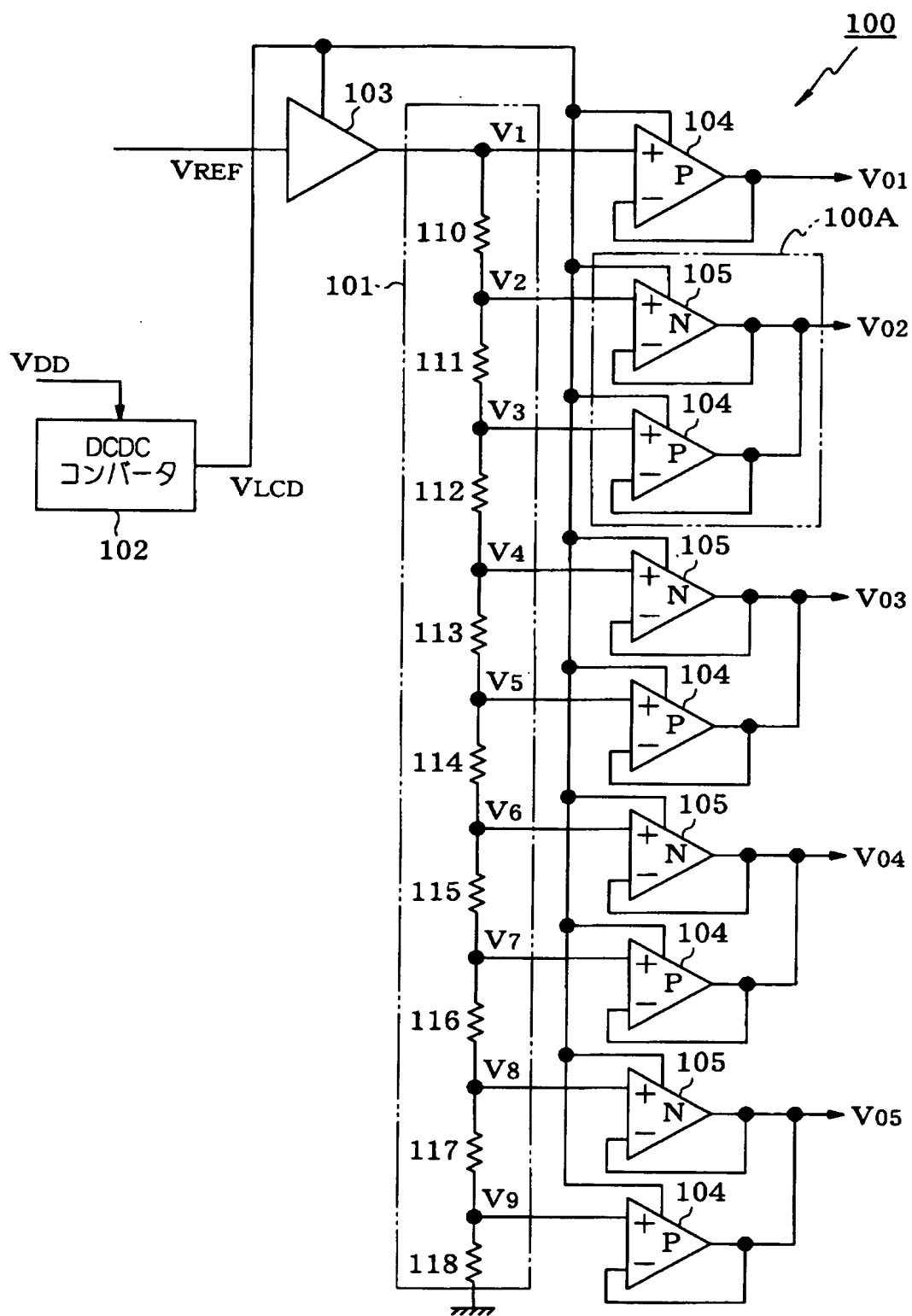
【図 15】



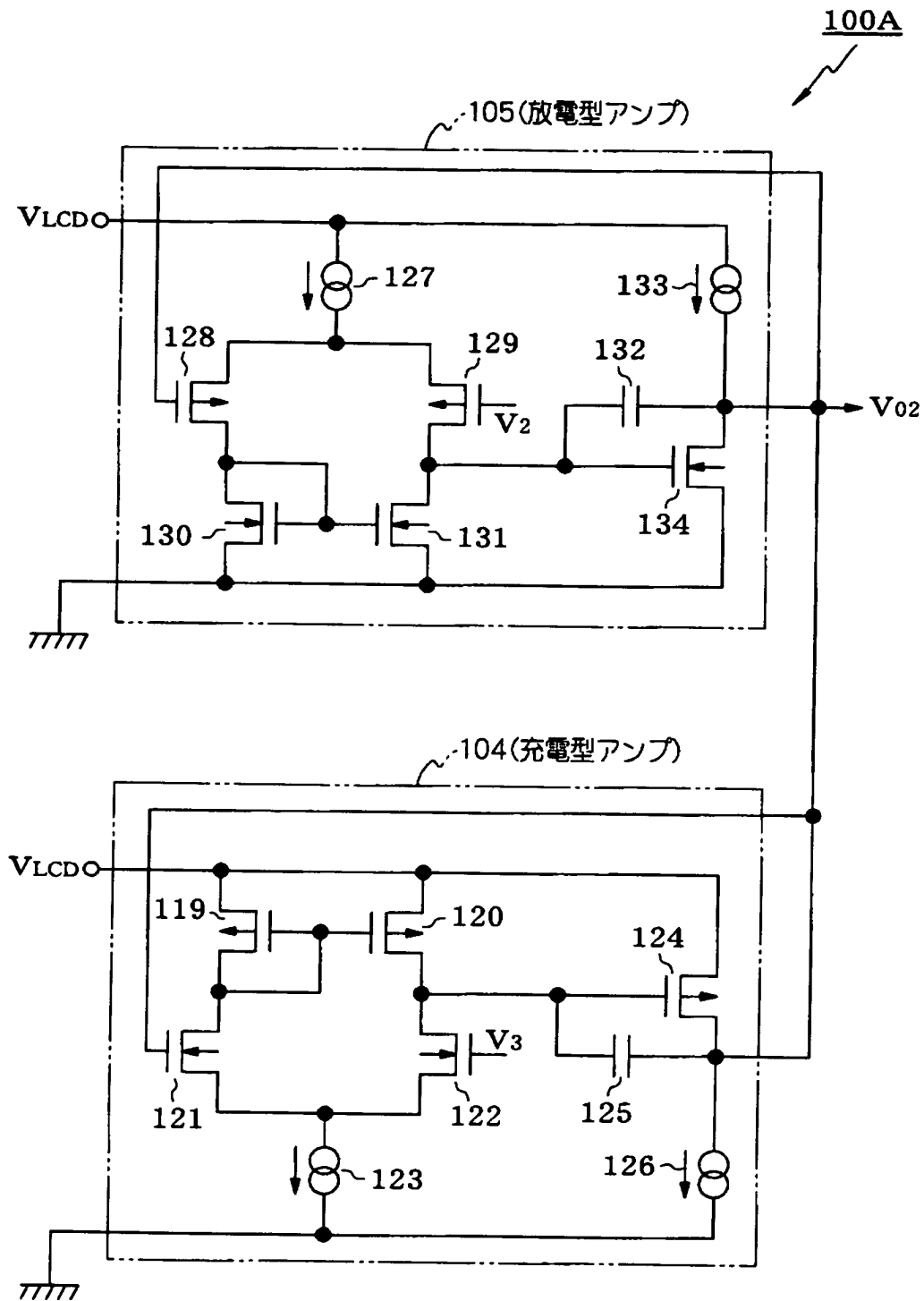
【図 16】

フレーム毎のレベル出力					
電圧極性	FRAM +		FRAM -		
電極	COM	SEG	COM	SEG	
選択	VLCD	VSS	VSS	VLCD	
非選択	VLC4	VLC3	VLC1	VLC2	

【図17】



【図18】



【書類名】 要約書

【要約】

【課題】 負荷変動に対する応答性を改善する。

【解決手段】 電源回路 10 は、二つともボルテージフォロワとして動作する放電型低速アンプ 12 N 及び充電型高速アンプ 14 p を備え、放電型低速アンプ 12 N 及び充電型高速アンプ 14 p の入力端子同士及び出力端子同士がそれぞれ接続されたものである。そして、放電型低速アンプ 12 N の入力端子と充電型高速アンプ 14 p の入力端子との間には、放電型低速アンプ 12 N の入力端子よりも充電型高速アンプ 14 p の入力端子の方が低電位になるオフセット電圧 V_{off} が印加されている。負荷変動によって出力電圧 V_{OUT} が低くなると、充電型高速アンプ 14 p が動作して出力電圧を高速で上げるので、高速応答化が図れる。

【選択図】 図 1

【書類名】 出願人名義変更届（一般承継）

【整理番号】 73410007

【提出日】 平成15年 1月23日

【あて先】 特許庁長官殿

【事件の表示】

 【出願番号】 特願2002-204130

【承継人】

 【識別番号】 302062931

 【氏名又は名称】 N E Cエレクトロニクス株式会社

【承継人代理人】

 【識別番号】 100079164

 【弁理士】

 【氏名又は名称】 高橋 勇

【提出物件の目録】

 【物件名】 承継人であることを証明する登記簿謄本 1

 【援用の表示】 平成15年1月10日提出の特願2002-31848
8の出願人名義変更届（一般承継）に添付のものを援用
する。

 【物件名】 承継人であることを証明する承継証明書 1

 【援用の表示】 平成15年1月23日提出の平成10年特許願第244
059号の出願人名義変更届（一般承継）に添付のものを
援用する。

 【包括委任状番号】 0216934

【プルーフの要否】 要

出 願 人 履 歴 情 報

識別番号 [000004237]

1. 変更年月日 1990年 8月29日
[変更理由] 新規登録
住 所 東京都港区芝五丁目7番1号
氏 名 日本電気株式会社

出 願 人 履 歴 情 報

識別番号 [302062931]

1. 変更年月日 2002年11月 1日
[変更理由] 新規登録
住 所 神奈川県川崎市中原区下沼部1753番地
氏 名 NECエレクトロニクス株式会社